

オールFET構成, 8Ω負荷 180W×2, 4Ω負荷 306W×2, SiC SBD 整流電源

SiC MOS-FET ハイパワー IVC

No. 225



SiC MOS-FETを使用したパワーIVCは、ドライブ段に中型MOS-FETを採用することで、8Ω負荷180W×2, 4Ω負荷では306Wもの大出力を得た。そしてドライブ段に新型SiC MOS-FETを採用することで、音楽表現が格段に向上することが確認された。この新型SiC MOS-FETは音楽用に開発されたSCTMU001Fである。出力段には寸法の大きなSCT2080KEを使用している。

はじめに

DCアンプシリーズにSiC（シリコンカーバイド、炭化シリコン）MOS-FETとSiC SBD（ショットキーバリアダイオード）が登場して以来、SiCパワーIVCの進化の連鎖反応が続いている。バッテリードライブで開始したパワーIVCだが、その音楽表現力に真空管独特の要素が含まれることが明らかになり、ハイブリッドパワーIVCが誕生したのだ。

次はSiC MOS-FETの高速動作の特徴を活かすために、高周波特性の優れたMOS-FETをドライブ段に起用したオールFETパワーIVCを生みだし、D/Aコンバーターとのコンビで超シンプルデジタル再生システムが完成した。

そして今回はSiC MOS-FETの高耐圧、大電流、大ドレイン損失の特徴を活かすハイパワーIVCの追求だ。SiC MOS-FETは本質的にハイパワーIVCに適している。本機では出力段を効率よくドライ

ブする新テクニックを生むと同時に、SiC SBDを電源オン時のラッシュカレントから守り、電源のレギュレーションを改善する新回路も開発した。本機はコンパクトなサイズにもかかわらず、4Ω負荷で300Wを超えるパワーを獲得した。ハイパワーを得ることだけが本来の目的ではないが、ハイパワー追求のプロセスでSiC MOS-FETの真の姿が次第に明らかになってきた。

半導体素材の物性比較

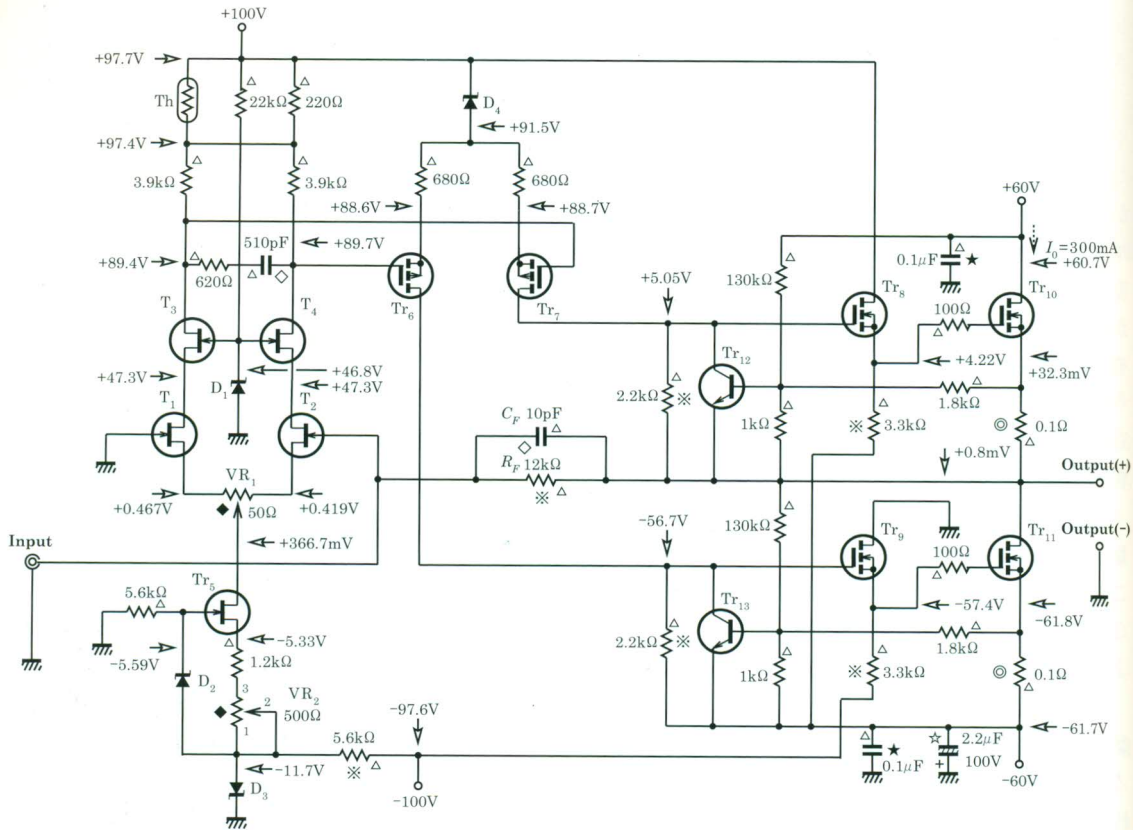
SiC MOS-FETパワーIVCの卓越した音楽表現力は、SiCという素材の物性と、この特質を活かしたデバイスに起因することは明らかだ。SiCデバイスはSi（シリコン）デバイスでは得ることができなかった強力な音楽表現力を発揮するからだ。そこで永年半導体デバイスの中核を占めてきたSiと、次世代の半導体と言われているSiCとGaN（ガリウムナイトライド、窒化ガリウム）の物性を、半導体

デバイスを使用する立場から比較してみよう。

表1はSi, SiC, GaNの基本材料特性を比較したものだ。最初のバンドギャップとは結晶中の電子の価電子帯と伝導帯間のエネルギーギャップのことで、価電子とは、原子が互いに電子を共有することで結合する共有結合状態の電子である。この状態の電子のエネルギーバンドを価電子帯と言い、電子はイオンに拘束されて、自由に移動することができない。

電子が熱や光などからエネルギーを吸収すると、結合から離脱して自由に移動できる状態になる。この状態のエネルギーバンドが伝導帯で、電子は電荷を運ぶキャリアの働きをする。

電子が価電子帯から伝導帯にジャンプするには、価電子帯と伝導帯のエネルギー差に相当するバンドギャップ以上のエネルギーが必要だ。バンドギャップは材料に特有なエネルギーであり、この値が小さいほど温度上昇によるキャ



$Tr_1, Tr_2, Tr_3, Tr_4, Tr_5$: 2SK117BL, Tr_6, Tr_7 : 2SJ77, Tr_8, Tr_9 : 2SK214, Tr_{10}, Tr_{11} : SCT2080KE, Tr_{12}, Tr_{13} : 2SC2240
 D_1 : RD47F, D_2, D_4 : HZ6C2, D_3 : HZ12B1, Th: 200D-5, Tr_1 と Tr_2 , Tr_3 と Tr_4 , Tr_6 と Tr_7 , Thと Tr_{10} は熱結合
 Tr_{10} , Tr_{11} は放熱器に取り付ける, ※: スケルトン, ◎: 福島双羽 MPC74, ◇: 双信電機 SE, ◆: コバルTM-7P
 ★: ニッセイ電機 積層フィルム APS, ☆: SILMIC II α

図1 本機SiC MOS-FETハイパワー IVC

損失の合計値に満たないことがある。その理由は特性の不揃いのために電流が片方に集中し、もう片方が最大定格に達してなくても、電流の多いほうでトータルの損失が決まるからだ。

SiC MOS-FETやSBDは本質的にパラ接続時の電流集中現象が少なく、パラ接続が容易なデバイスである。この点でもSiCデバイスはハイパワーに適している。

SiC MOS-FETが熱に非常に強いデバイスであることは、1月20日の京都大学ローム記念館における試聴会で証明された。300人のホールで、レイオーディオの小型スピーカーKM1V (4Ω, 最低3.2Ω) を鳴らした際、DAC搭載ハイ

パワー IVCはスピーカーを楽々ドライブできたが、放熱器が小さいハイブリッドパワー IVCは連続的なハイパワーで、放熱器が手で触れられないほどの高温になりつつも、見事に小型スピーカーを鳴らしきった。熱伝導率が高いSiCの勝利である。

本機のパワー IVC

図1は本機のパワー IVCである。一見して前回のDAC搭載パワー IVCによく似ている。オールFET構成のため、そのように見えるのだが、ハイパワーに適するよういくつかの改良点がある。

前回のパワー IVCでは、3月号、図44「出力電力対歪率特性(4Ω負

荷)」で、100W以上の出力領域で歪率が増加する現象から、ドライブ段に改善の余地があることを指摘した。

DCパワー IVCやパワーアンプのドライブ段は差動アンプで構成されている。差動アンプには2つの入力と2つの出力があり、互いに逆位相で、等振幅の出力電流を発生し、電源電圧や周囲温度に影響されにくい安定な動作をする。しかし2つの出力電流の和が定電流回路で決められる一定値なので、最大出力電流が無信号時電流の2倍に限定される。

本機のような1段差動アンプでは、2段目アンプの出力電流が制限されることがない。無信号時電



リアが発生しやすく、温度に影響されやすい材料になる。半導体デバイスの創世期に活躍したGe（ゲルマニウム）のバンドギャップはたった0.67eVである（1eVは電子が1Vの電圧で加速されて得るエネルギー）。Geで作ったアンプは温度上昇により熱暴走することが多かったが、Geそのものが熱の影響を受けやすい材料だからである。

SiCやGaNのバンドギャップはSiの3倍も高い。SiCやGaNは本質的に熱に強い材料なのだ。

比誘電率はデバイスの電極間容量に影響する。同じ電極構造なら、この値が小さいほど容量が少なくなる。SiCやGaNの比誘電率がSiよりわずかに小さい。

圧倒的な差がついているのが、絶縁破壊電界である。材料にかかる電圧を高くしていくと、ある電圧から絶縁破壊が起こる。材料内部に生じる電界で、原子が電離して多量のイオンと自由電子が発生するからだ。SiCやGaNの絶縁破壊電界はSiの10倍も高い。同じ材料なら、10倍高い電圧がかけられ、同じ電圧なら材料を1/10の厚さにできる。この分オン抵抗が1/10に下がる。

半導体に流れる電流は主に不純物によって発生したキャリア（N型半導体では電子、P型半導体ではホール）で運ばれる。この性質を利用して、不純物濃度をコントロールしてキャリアを生成する。材料に添付（ドーパ）できる不純物濃度は絶縁破壊電界の2乗に比例する。したがってSiCやGaNは、Siに比較してはるかに高いキャリア濃度の材料を作れる。この効果はオン抵抗低減にダイレクトに働く。

絶縁破壊電界の効果と不純物濃度の効果で、SiCやGaNデバイスはオン抵抗を理論的にSiデバイス

表1 Si, SiC, GaNの基本材料特性

	Si(シリコン)	SiC(炭化シリコン)	GaN(窒化ガリウム)
バンドギャップ	1.12eV	3.26eV	3.4eV
比誘電率	11.9	9.7	9.5
絶縁破壊電界	3.0×10^5 V/cm	2.7×10^6 V/cm	3.5×10^6 V/cm
飽和ドリフト速度	1.0×10^7 cm/s	2.2×10^7 cm/s	2.7×10^7 cm/s
電子移動度	1350 cm ² /Vs	1000 cm ² /Vs	900 cm ² /Vs
熱伝導率	1.5W/cmK	4.9W/cmK	2W/cmK

出典：産業技術総合研究所

表2 SCT2080KEの絶対最大定格
絶対最大定格($T_a=25^\circ\text{C}$)

Parameter	Symbol	Value	Unit	
ドレイン・ソース間電圧	V_{DSS}	1200	V	
ドレイン電流(直流)	$T_c=100^\circ\text{C}$	I_D	35	A
	$T_c=25^\circ\text{C}$	I_D	22	A
ドレイン電流(パルス)	I_{Dpulse}	80	A	
ゲート・ソース間電圧	V_{GSS}	-6 ~ 22	V	
許容損失($T_c=25^\circ\text{C}$)	P_D	179	W	
ジャンクション温度	T_j	150	$^\circ\text{C}$	
保存温度	T_{stg}	-55 ~ +150	$^\circ\text{C}$	

出典：ローム(株) データシート

の1/1000にできる。

半導体内部では、伝導電子が真空中を移動する電子のように、自由に移動できるわけではない。結晶格子を形成するイオンに衝突してはエネルギーと同時に運動量に変化し、ときには電子どうしが互いに衝突を繰り返す熱運動をしながらも、平均的には電界と逆方向に押し流されていく(ドリフト)。この速度は電界に比例し、ここから電流と電圧が比例するというオームの法則が生まれる。このときの限界速度が飽和ドリフト速度である。

飽和ドリフト速度はSiCがSiの2.2倍、GaNは2.7倍だ。キャリアの動作が速いということは、それだけ高速動作のデバイスが可能になることを意味する。

熱が伝導によって移動するとき、その移動速度が温度勾配に比例する。その比率が熱伝導率で、この値が大きいほど熱が速く移動する。SiCの熱伝導率はSiに比較して圧倒的に大きい。デバイスの内部に生じた熱を素早く外部に放出できるので、本質的に熱に強い

材料になる。

SiCやGaNのデバイスがいかに高速動作、低オン抵抗動作が可能かは、すべて材料の物性によるものだ。この特質を巧みに活かしたデバイスこそ次世代のデバイスであり、オーディオにとっても未来を切り拓くデバイスになる。

SCT2080KEの最大定格

表2はSCT2080KEの絶対最大定格である。この表から明らかのように、SCT2080KEは本質的にハイパワーに適している。ドレイン・ソース間電圧 V_{DSS} の1200Vはスイッチング動作に必要な耐圧であり、オーディオではこれほど高い耐圧は必要ないが、電圧に関してはまったく気にせず使用できる。ドレイン電流 I_D の35A(DC)、80A(パルス)は低負荷インピーダンス時のハイパワー動作に適した規格である。

許容損失 P_D の179Wはパラレル接続しなくてもハイパワーが得られる値だ。出力段のデバイスをパラレル接続した場合、トータル許容損失が、実際には各デバイスの

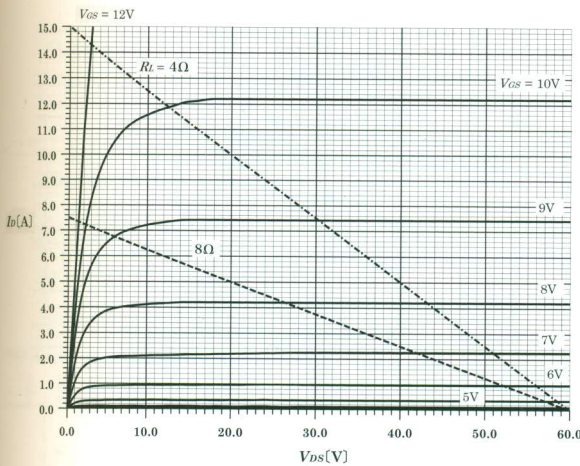


図2] SCT2080KEの V_{DS} 対 I_D 特性とロードライン

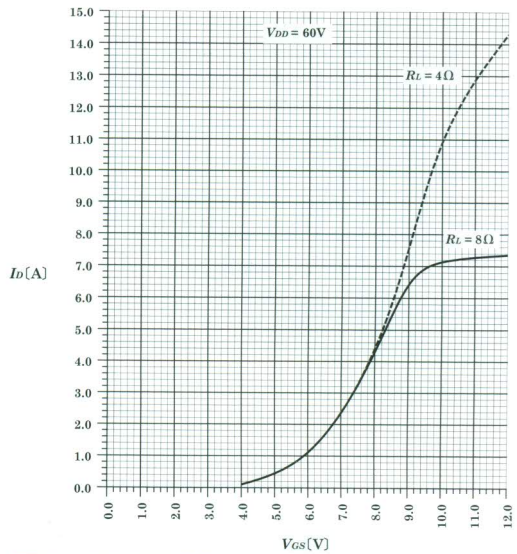
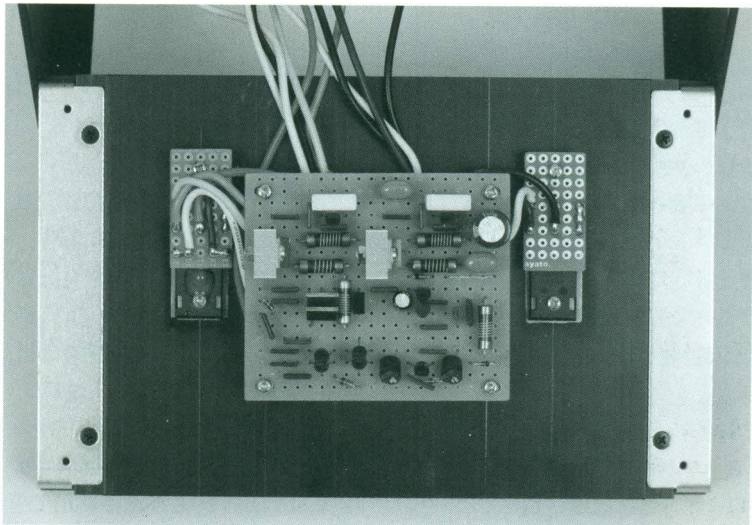


図3] SCT2080KEの V_{GS} 対 I_D 動特性

流の2倍を超える電流領域では、信号の-側は無信号時の2倍に制限されるが、+側はデバイスの許す限り振幅が伸び、いわゆるAB級動作をする。-側の振幅が制限されても出力段はカットオフされているので何ら問題がなく、+側の振幅に制約がないので出力段をフルにドライブできる。1段差動アンプは差動アンプの安定性とドライブ力の大きさを兼ね備え、しかもきわめてシンプルな構成なので理想的なドライブ回路といえる。

ドライブ段と出力段を切り離し、ドライブ段の信号を各段について追跡した結果、ドライブ段の動作にはゆとりがあり、最大出力電圧のピーク値は25Vに達することが確認された。この値は出力段に必要なドライブ電圧10Vの2.5倍になる。ではどこで信号がロスしているのだろうか。なぜ1kHzに比べて10kHzの歪率が高いのだろうか。

この謎は、こう考えると説明できる。出力段MOS-FETにはドライブ電圧は必要だが、ドライブ電流は必要ないと考えられている。この考え方が根本的に誤りで、MOS-FETの入力容量 C_{iss}

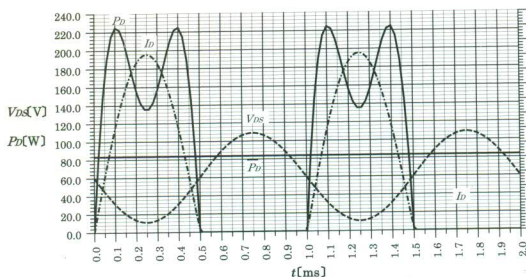


シャーシ側板を兼ねた放熱器に、パワー IVC基板と出力段 MOS-FET 基板を直接取り付ける。入力配線にもダイエー電線20芯を使用

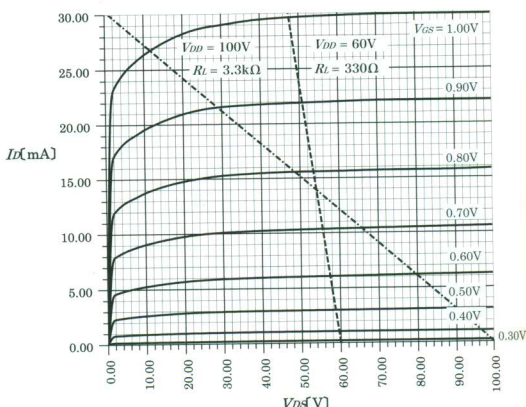
(STC2080KEでは2080pF。偶然にも型番と同じ数値)を充電するためには、ドライブ電流が必要なのだ。ドライブFET (2SK214) から流れ出るソース電流は C_{iss} とソース抵抗 R_S (330Ω) に分流するが、 R_S の値が低いので大部分の電流が R_S に流れ、肝心の C_{iss} に流れる電流はわずかになり、 C_{iss} の電圧を高めるのに時間がかかるのだ。出力電力の増加にともない歪率が増加する現象は、信号周波数

が高くなるほど顕著になるはずだ。解決策はすぐ思いつく。 R_S に高い値を使い、これに無駄に流れる電流を少なくして、 C_{iss} に有効に流れる電流の割合が多くなるようにすればよい。しかし単純に R_S を高い値に変えると無信号時のソース電流が少なくなり、ドライブ電流自体が少なくなる。

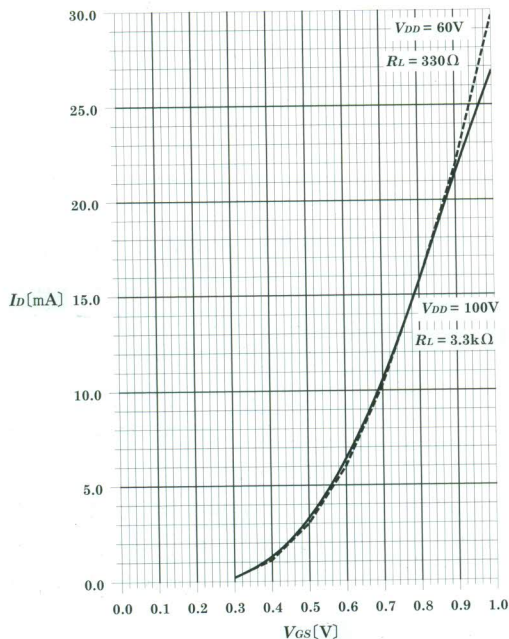
では、 R_S の代わりに定電流回路を使えばよい。しかしシンプルさがポリシーのDCアンプでは、これ



【図4】最大出力時の V_{DS} , I_D , P_D 波形



【図5】2SK214の V_{DS} 対 I_D 特性とロードライン



【図6】2SK214の V_{GS} 対 I_D 動特性

以上デバイスを増やして回路を複雑化することは避けたい。

最善の解決策は図1のように R_S の値を大きくしたぶん、これにかける電圧を高くして、無信号時電流を大きく保つことだ。 Tr_8 の R_S は Tr_8 のソースと $-60V$ 電源間に、 Tr_9 の R_S は Tr_9 のソースと $-100V$ 電源間に接続する。これなら R_S の抵抗値を高くでき、同時に無信号時電流も確保できる。本機の R_S は前回の 330Ω から10倍の $3.3k\Omega$ になった。これでドライブ電流が有効に C_{ISS} に流れ、 C_{ISS} を素早く充電できる。この効果は出力電力対歪率特性で確認できるはずだ。

ドライブFET (Tr_9) のマイナ

ス側は $-100V$ 電源に接続するが、定電流回路 Tr_5 の電源と共用できる。 Tr_5 は $5.6k\Omega$ と D_3 によるパレレルレギュレーターで安定化された電源で動作するので、出力電流の安定度が高まり、アイドリング電流 I_0 もいっそう安定になる。

SCT2080KEの V_{DS} 対 I_D 特性とロードライン

本機出力段の電源電圧は半導体DCパワーIVC中、最高の $\pm 60V$ とする。図2はSCT2080KEのドレイン電圧 V_{DS} 対ドレイン電流 I_D 特性である。この図にはゲート・ソース間電圧 $V_{GS}=12V$ の特性も記入してある。飽和流域までドラ

イブすることを考慮したからだ。

出力段 (Tr_{10} , Tr_{11}) の設計のために、 V_{DS} 対 I_D 特性上に、電源電圧 $V_{DD}=60V$ 、負荷抵抗 $R_L=8\Omega$ と 4Ω のロードラインを引く。 $R_L=8\Omega$ のロードラインと $V_{GS}=10V$ の特性との交点から、最大ドレイン電流 I_{Dmax} は $7.20A$ 、最小ドレイン電圧 V_{Dmin} は $2.20V$ になる。

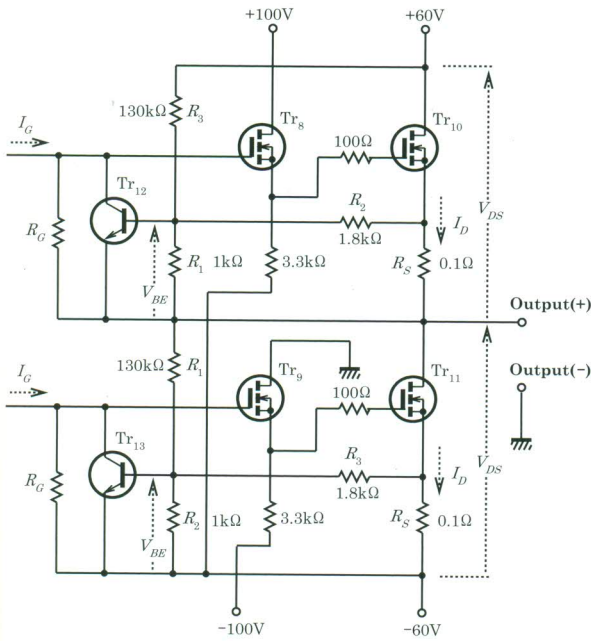
最大出力時の電流振幅は I_{Dmax} になり、電圧振幅は $V_{DD} - V_{Dmin}$ になるので、最大出力電力 P_{Omax} は

$$P_{Omax} = \frac{(V_{DD} - V_{Dmin}) I_{Dmax}}{2} = \frac{(60.00V - 2.2V) \times 7.20A}{2} = 208W$$

になる。電源のレギュレーションとソース抵抗 0.1Ω のロス分を考慮しても、 $180W$ 以上の P_{Omax} が期待できる。

4Ω 負荷の場合には、図2のように、 $R_L=4\Omega$ のロードラインと、 $V_{GS}=10V$ の特性との交点から、 $I_{Dmax}=11.87A$ 、 $V_{Dmin}=12.40V$ になり、

$$P_{Omax} = \frac{(V_{DD} - V_{Dmin}) I_{Dmax}}{2}$$



[図7] パワーリミッター

$$= \frac{(60.00\text{V} - 12.40\text{V}) \times 11.87\text{A}}{2}$$

$$= 283\text{W}$$

になる。負荷インピーダンスが1/2になった割には P_{Omax} の増加が少ない。この理由は V_{Dmin} が12.40Vと高いことにある。 V_{GS} のより高い領域までドライブできれば I_{Dmax} が増え、 V_{Dmin} が小さくなるので P_{Omax} はもっと増えるはずだ。

$V_{GS}=12\text{V}$ までドライブできるとして計算してみると、 $V_{GS}=12\text{V}$ の特性と4Ωのロードラインの交点から、 $I_{Dmax}=14.30\text{A}$ 、 $V_{Dmin}=2.80\text{V}$ になり、

$$P_{Omax} = \frac{(V_{DD} - V_{Dmin}) I_{Dmax}}{2}$$

$$= \frac{(60.00\text{V} - 2.80\text{V}) \times 14.30\text{A}}{2}$$

$$= 409\text{W}$$

になる。電源のレギュレーションを考慮すると、これほどのハイパワーは出ないと思うが、300W以上のパワーは期待できそうだ。

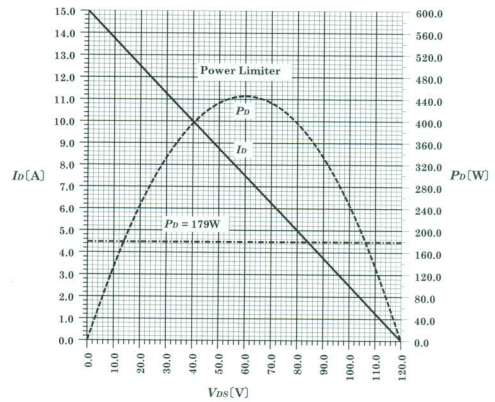
SCT2080KEの V_{GS} 対 I_D 動特性

図2の V_{DS} 対 I_D 特性とロードラインの交点から V_{GS} 対 I_D の関係をプロットしたのが、図3の V_{GS} 対 I_D 動特性である。 $V_{GS}=7.4\text{V}$ までは $R_L=8\Omega$ と $R_L=4\Omega$ の動特性が一致しているが、 $R_L=8\Omega$ では $V_{GS}=8.4\text{V}$ から次第に飽和特性に移りし、 $V_{GS}=10.0\text{V}$ で I_D が7.20A、 $V_{GS}=12.0\text{V}$ で I_D が7.35Aにとどまる。

一方、 $R_L=4\Omega$ では動特性が素直に伸び、飽和特性は生じない。 $V_{GS}=10.0\text{V}$ では I_D が11.6A、 $V_{GS}=12.0\text{V}$ では I_D が14.3Aに達する。SCT2080KEは低負荷インピーダンスのほうが直線性のよい動作になる。負荷インピーダンスが低いほど大きなパワーが取り出せるので、SCT2080KEはハイパワーアンプに適したデバイスといえる。

最大出力時の V_{GS} 、 I_D 、 P_D 波形

ハイパワーIVCでは、最大出

[図8] パワーリミッターの V_{DS} 、 I_D 、 P_D 特性

力時における出力FETの安全性をチェックしておかなければならない。図4は最大出力時の V_{DS} 、 I_D 、 P_D 波形である。負荷抵抗4Ω、出力電力300W時の波形で、周波数は1kHzである。横軸は時間軸で、2周期分の波形を示す。左の縦軸は電圧軸と電力軸、右の縦軸は電流軸である。

出力電力 P_O は出力電圧 V_O と負荷抵抗 R_L で次のように表す。ただし、すべて正弦波の実効値表示である。

$$P_O = \frac{V_O^2}{R_L}$$

これより V_O は、

$$V_O = \sqrt{P_O R_L}$$

$$P_O = 300\text{W} \text{ とすれば、}$$

$$V_O = 34.6\text{V}_{\text{rms}}, \text{ ピーク値 } V_P \text{ は}$$

$$V_P = \sqrt{2} V_O = \sqrt{2} \times 34.6\text{V}$$

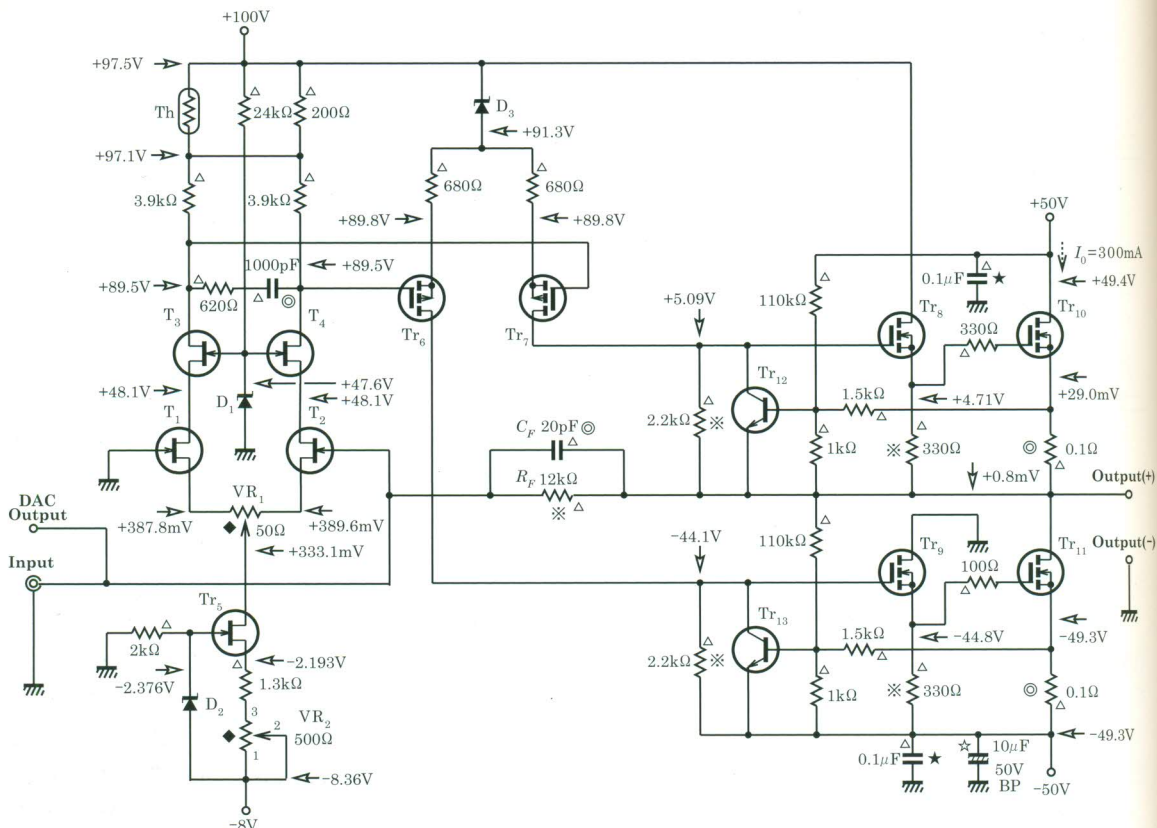
$$= 49.0\text{V}$$

になり、ピーク電流 I_P は

$$I_P = \frac{V_P}{R_L} = \frac{49.0\text{V}}{4\Omega} = 12.2\text{A}$$

になる。この値はドレイン電流 I_D のピーク値に等しい。

V_{DS} (破線) は無信号時の $V_{DS}=60\text{V}$ を中心に、振幅49.0Vの正弦波状に変化する。これに対して、 I_D (一点鎖線) は Tr_{10} と Tr_{11} に半



Tr₁, Tr₂, Tr₃, Tr₄, Tr₅: 2SK117BL, Tr₆, Tr₇: 2SJ77, Tr₈, Tr₉: 2SK214, Tr₁₀, Tr₁₁: SCT2080KE, Tr₁₂, Tr₁₃: 2SC2240
 D₁: RD47F, D₂, D₃: HZ6C2, Th: 200D-5, Tr₁とTr₂, Tr₃とTr₄, Tr₆とTr₇, ThとTr₈は熱結合, Tr₁₀, Tr₁₁は放熱器に取り付ける
 ※: スケルトン, ◎: 福島双羽 MPC74, ⊙: 双信電機 SE, ◆: コパル TM-7P, ★: ニッセイ電機 積層フィルム APS
 ☆: 東信工業 BPUS バイポラー

【図9】改良型D/Aコンバーター搭載パワーIVC

周期ずつ交互に流れるので、半周期はピーク値12.2Aの片波整流波形、残りの半周期はカットオフ状態になる。

ドレイン損失 P_D (実線)は各瞬間で、 V_{DS} と I_D の積になるので、半周期内に2つのピークのあるおもしろい波形になり、残りの半周期はゼロになる。 P_D のピーク値は224Wに達する。この値はSCT2080KEの許容損失179Wを超えるが、あくまでも瞬間値なので、時間平均値は83.6Wになり、余裕で安全圏に入っている。

2SK214の V_{GS} 対 I_D 動特性対

今回はドライブ段を改良しているので、図5に $V_{DD}=60V$,

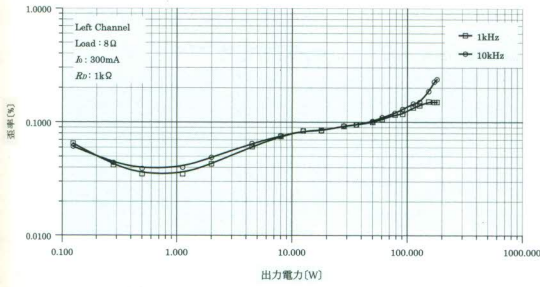
$R_L=330\Omega$ のロードラインと $V_{DD}=100V$, $R_L=3.3k\Omega$ のロードラインを引いて比較する。 $R_L=330\Omega$ ではロードラインが各特性を垂直に近い傾きで横切るので、 V_{GS} が増えるほど I_D の増加率が大きくなるエキスパンダー特性になる。 $R_L=3.3k\Omega$ ではロードラインが各特性を斜めに横切るので、傾きが緩やかに変化する肩特性領域も通過する。

各特性とロードラインの交点から、 V_{GS} 対 I_D 動特性を求めたのが図6の動特性である。 $V_{GS}=0.8V$ までは2つの特性が一致しているが、0.8V以上では、 $R_L=330\Omega$ の特性は2乗特性を維持しているのに対して、 $R_L=3.3k\Omega$ の特性は直性

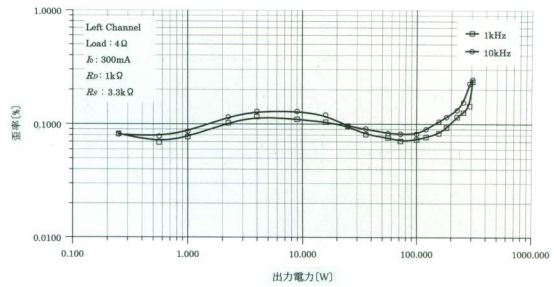
特性に移行する。これらの特性だけでは、どちらがドライブに有利かはわからない。

パワーリミッター

出力段のデバイスを過負荷状態から保護するのがパワーリミッターである。図1から出力段とパワーリミッターを取り出したのが、図7である。Tr₁₂, Tr₁₃がリミッター用Trだ。通常はオフ状態でアンプの動作には影響しない。Tr₁₂, Tr₁₃のベース・エミッター間電圧 V_{BE} がスレッシュホールド電圧 V_{th} (約0.55V)を超えるとオンになり、ドライブ電流 I_G を吸収し、ドライブ抵抗 R_G に流れる電流を増加させず、ドライブ電圧の増加を



[図10] 出力電力対歪率特性(8Ω負荷)



[図11] 出力電力対歪率特性(4Ω負荷)

制限する。

出力段 Tr_{10} , Tr_{11} のソース抵抗 R_S (0.1Ω) に生じる電圧でドレイン電流 I_D を検出し、検出電圧 $R_S \times I_D$ を抵抗 R_2 (1.8kΩ) と R_1 (1kΩ) で分圧して Tr_{12} , Tr_{13} に伝達する。

出力段のドレイン・ソース間電圧 V_{DS} を抵抗 R_3 (130kΩ) と R_1 (1kΩ) と R_2 の平行合成抵抗 R_P で分圧して Tr_{12} , Tr_{13} に伝達する。 Tr_{12} , Tr_{13} には I_D に比例する電圧と V_{DS} に比例する電圧が加算されて入力され、加算電圧が V_{th} を超えると電流制限状態に入る。

R_1 , R_2 , R_3 の値は次のように決定する。初めに R_1 と I_D の最大値 I_{Dmax} を決める。 R_1 は他の抵抗値が計算しやすいように 1kΩ とする。本機の I_{Dmax} は図2より、4Ω負荷時の最大値を考慮して 15A とする。

R_S は 0.1Ω なので、 I_{Dmax} 時に生じる電圧は $R_S I_{Dmax} = 0.1Ω \times 15A = 1.5V$ になる。図7で Tr_{10} が飽和領域までドライブされ、 Tr_{11} がカットオフの状態では、 Tr_{10} の V_{DS} を 0V と見て、 $R_S I_{Dmax} = 1.5V$ を分圧して V_{th} の 0.55V になればよいので、

$$V_{th} = \frac{R_1}{R_1 + R_2} R_S I_D$$

$$R_2 = \left(\frac{R_S I_D}{V_{th}} - 1 \right) R_1$$

$$= \left(\frac{1.5V}{0.55V} - 1 \right) \times 1k\Omega = 1.73k\Omega$$

したがって、 $R_1 = 1.8k\Omega$ とする。ここで、 R_1 と R_2 の平行合成抵抗 R_P を計算しておいたほうがよい。

$$R_P = \frac{R_1 R_2}{R_1 + R_2} = \frac{1k\Omega \times 1.8k\Omega}{1k\Omega + 1.8k\Omega} = 643\Omega$$

Tr_{11} が飽和領域までドライブされ、 Tr_{10} がカットオフの状態では、 Tr_{10} の $V_{DS} = 120V$, $I_D = 0$ で、 $V_{th} = 0.55V$ になる。 V_{DS} を R_3 と R_P で分圧した電圧が V_{th} になればよいので、

$$V_{th} = \frac{R_P}{R_3 + R_P} V_{DS}$$

$$R_3 = \left(\frac{V_{DS}}{V_{th}} - 1 \right) R_P$$

$$= \left(\frac{120V}{0.55V} - 1 \right) \times 643\Omega = 140k\Omega$$

$R_3 = 130k\Omega$ とする。

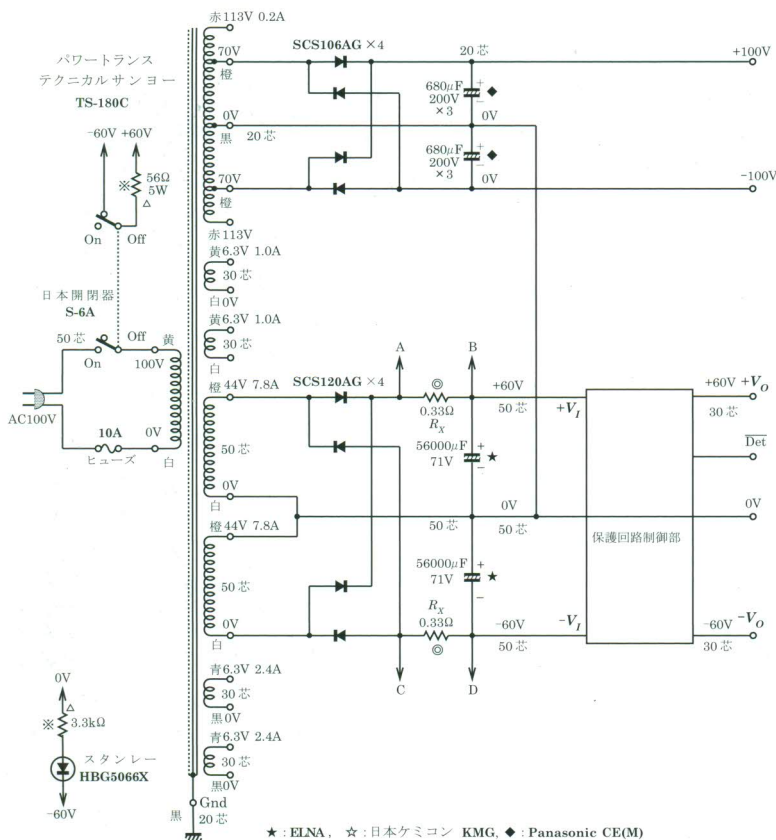
パワーリミッターの抵抗値が決まったところで、リミッターの動作を見てみよう。図8はパワーリミッターの V_{DS} 対 I_D , P_D 特性だ。横軸が V_{DS} で、左の縦軸が I_D , 右の縦軸が P_D である。 $V_{DS} = 60V$ が無信号時の状態で、このときの I_D

制限値は最大値 15A の 1/2 の 7.5A である。

$V_{DS} = 0V$ では I_D が 15A, $V_{DS} = 120V$ では I_D が 0A になり、 I_D はこの間を直線的に変化する。一方、 P_D は $V_{DS} = 60V$ で最大値の 450W になり、 $V_{DS} = 0V$ と $V_{DS} = 120V$ で 0W になる。 P_D はこの間を 2次曲線状に変化する。図中には **SCT2080KE** の許容損失 179W を記入してあるが、制限値が許容値以内に入るのは、 $V_{DS} = 0 \sim 12V$ と $V_{DS} = 108 \sim 120V$ というごく限られた範囲である。

この状態で FET を過負荷から保護できるかどうか不安になるかもしれないが、ここで計算した P_D はあくまでも DC 値である。このアンプは DC 分を出力するためのアンプではない。±0.5V を超える DC 分が出力されると、直ちに保護回路が動作し、電源をシャットダウンしてアンプの動作を停止させる。

変化する電圧つまり AC なら、4Ω負荷時の最大出力時でも P_D が安全圏に入っており、まったく問題ない。問題なのは、 R_L が極端に低い場合、たとえば出力端子がショート状態で過大入力が入ったときで、この場合は異常な出力電流が流れるだろう。しかしこの状態は注意すれば防げることであり、よくよく誤った使いかたをしない限り、起こり得ないことである。



【図12】 電源部

改良型D/Aコンバーター

搭載パワーIVC

前回のパワーIVCでは、パワーリミッター値をかなり安全側に設定していた。そのため4Ω負荷時のハイパワー領域では電流制限がかかりやすくなり、歪率が急増した。パワーリミッターの抵抗値を図9のように変更することで良好な出力特性になる。

ドライブ段の R_S については、電源電圧の関係で変更できないが、リミッターの設定だけでも、十分な特性改善ができる。もし R_S を本機のように3.3kΩにしたければ、両波整流回路で-100V電源を作ればよい。この場合は定電流回路も本機のように改良したほうがよい。-8V電源は不要になる。

出力電力対歪率特性

本機のハイパワー設計がどの程度有効かを確認するために、出力電力対歪率特性を検討する。図10は8Ω負荷時の出力電力対歪率特性である。出力電力の増加にしたがって、歪率が緩やかに増加する素直な特性で、120Wまでの出力では、1kHzと10kHzの特性が見事に一致している。これほど両特性が一致するアンプは滅多にない。SiC MOS-FET出力段とSi MOS-FETドライブ段の周波数特性がきわめて優れているからだ。

最大出力電力は設計通りの180Wである。ハイパワー時の電源電圧の低下や $R_S=0.1\Omega$ のロスを考慮すると予想以上の出力電力だ

が、設計時の $V_{GS}=10V$ より、高い V_{GS} までドライブしているからだろう。

図11は4Ω負荷時の出力電力対歪率特性である。全出力領域で1kHzと10kHzの特性が一致している。ドライブ段の改善効果は歴然としており、 C_{ISS} の高速充電ドライブが功を奏した。

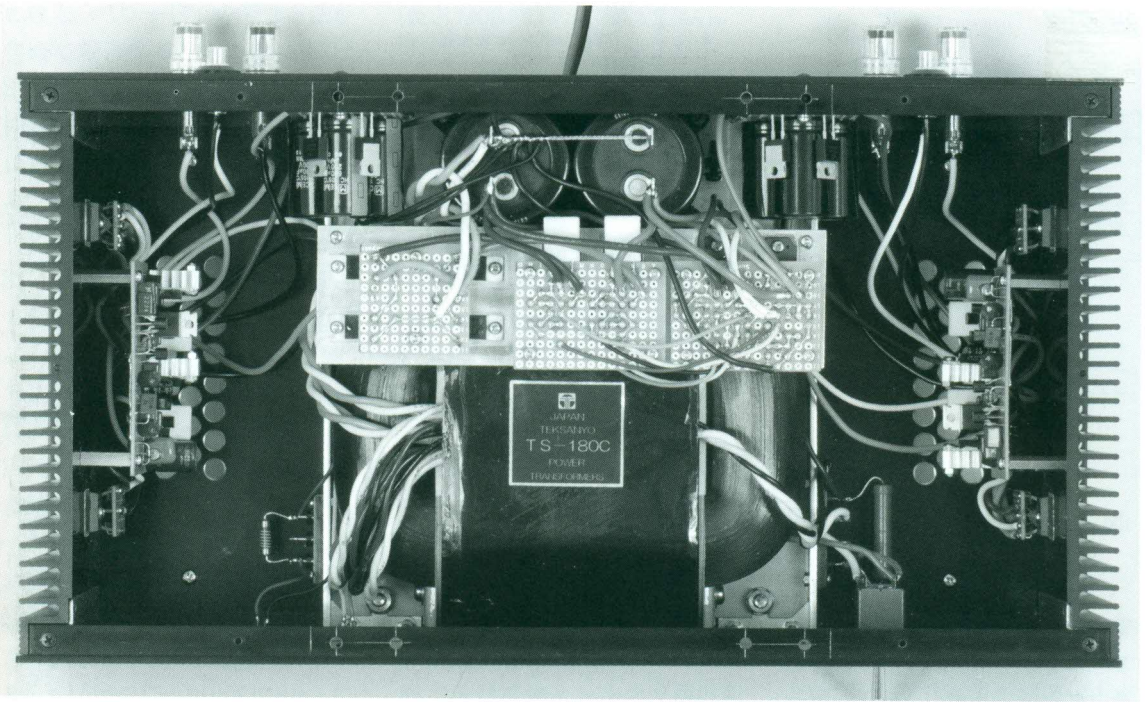
最大出力電力は何と306W。設計値の283Wをはるかに上回るハイパワーである。4Ω負荷では電源電圧がかなり低下するが、それでもこのようなハイパワーが得られたのは痛快だ。ドライブ段が強力になり、 V_{GS} の高い領域までドライブができていたからだ。きわめてシンプルな改善で抜群の効果が得られたのは、大成功といえる。

電源部

本機は電源部に関しても、ハイパワーを目的とした改良点がある。

図12は本機の電源部である。出力段電源電圧は±60V、ドライブ段電源電圧は±100Vの4電源で、すっきりとした構成だ。出力段電源の整流ダイオード(SCS120AG)とフィルターコンデンサー(56000μF)間に入れたダイオード保護抵抗 R_X の使い方に改良点がある。

R_X は電源SWオン時にフィルターコンデンサーに流れる過大な充電電流、すなわちラッシュカレントからダイオードを保護する電流制限抵抗だ。SCS120AGのピーク電流は80Aだが、従来DCパワーアンプの整流ダイオードに使用していたGBPC2504のピーク電流300Aの1/3.75である。したがって、入力AC電圧が高く、フィルターコンデンサーの容量が大きいときは、ラッシュカレントを制限



中央にもっとも重量のある電源トランス、その後ろ側に出力段用電源部の平滑コンデンサーを配置。整流回路と保護回路はその上側に取り付けられた

しないとダイオードが破壊することがある。ダイオードが破壊してショート状態になると、AC電圧が直接コンデンサーにかかり、きわめて危険な状態になるので、ハイパワーアンプでは R_X を必ず入れたい。

しかし R_X は電源オン時にだけ必要な抵抗で、オン以降は電源のレギュレーションを低下させる小さな抵抗だ。前回のパワー IVC の出力ならあまり気にならないが、本機のようなハイパワー IVC では、電源オン以降は取り除きたい抵抗だ。そこで役目を終えた R_X をFETのスイッチでショートしてやろう。

前回は R_X をパワートランス2次巻線とダイオードの間に入れた。しかしこの箇所にはAC電流が流れるので、FETスイッチは使えない。そこで R_X をダイオードとフィルターコンデンサーの間に移動す

る。ここならDC電流が流れるのでFETスイッチが動作できる。

保護回路DC検出部

図13は保護回路DC検出部である。前回同様、検出部をL、Rチャンネル独立にドライブ段基板に配置する。独立したDC検出基板がなくなったぶん、全体の基板配置がかなり自由になる。

保護回路制御部

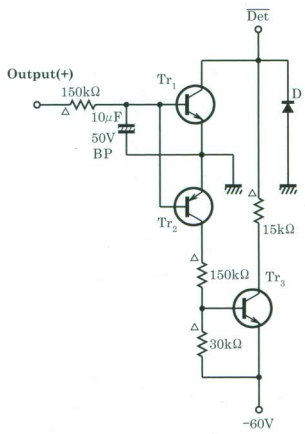
図14は保護回路制御部である。 $G_1 \sim G_4$ と $Tr_1 \sim Tr_5$ は従来通りの記憶部とスイッチ部だが、 $Tr_6 \sim Tr_{11}$ を新たに追加した R_X 用スイッチ部である。 Tr_6 、 Tr_8 、 Tr_9 は+60V電源の R_X をショートするスイッチで、 Tr_7 、 Tr_{10} 、 Tr_{11} が-60V電源のRXをショートするスイッチだ。

G_1 は電源オン時のリセット回路である。150k Ω と100 μ Fの積

分回路により、電源オンの瞬間、 G_1 の入力電圧は0Vから+6Vに向かって指数関数的にゆっくり上昇する。この電圧がCMOSゲートのスレッショルド電圧（電源電圧6Vの1/2の3V）に達するまでは G_1 の出力はH（ハイ）レベル、 G_2 の出力はL（ロー）レベルになる。 G_1 のHレベルにより、 Tr_8 、 Tr_9 がオンになり、定電圧ダイオード D_4 をショートするので、 Tr_6 の V_{GS} が0Vになり、 Tr_6 はオフ、 R_X はショートされないので有効に働き、ラッシュカレントを制限する。

同様に G_2 のLレベルで、 Tr_{10} 、 Tr_{11} がオンになり、 D_5 をショートして Tr_7 をオフにするので、 R_X がラッシュカレントを制限する。

G_1 の入力電圧がスレッショルドに達すると、 G_1 の出力はL、 G_2 の出力はHになるので、 Tr_8 、 Tr_9 がオフになり、 D_4 に電流が流れ、 Tr_6 の V_{GS} が-6Vになるので、



Tr₁, Tr₃: 2SC2240, Tr₂: 2SA970
D: 1S1588

[図13] 保護回路DC検出部

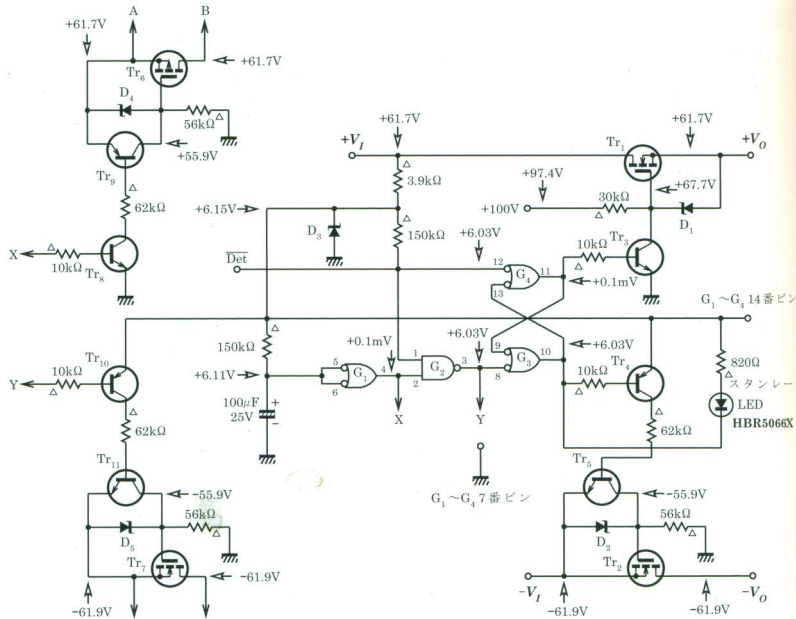
Tr₆がオンになり、R_Xがショート状態になる。同時にTr₁₀、Tr₁₁がオフになり、D₅のショートが解除され、Tr₇のV_{GS}が+6VになるのでTr₇がオンになり、R_Xがショートされる。

これらの動作には、高速度は必要ないので、スイッチFETにはオン抵抗の小さな大電流型MOS-FETを使用する。R_Xの有効時間は約20秒だが、実際には10秒くらいでも十分なので、積分コンデンサーを47μFにしてもよい。

+側スイッチのTr₆にはPチャンネルFETの2SJ217を使用した。-側スイッチと同じ回路構成になり、配線しやすいからである。Tr₆にはTr₁と同様のNチャンネルFETの2SK2554を使うこともできる。この場合はどのように回路を変更すればよいか、考えてほしい。

新型SiC MOS-FET

前編で予告した通り、後編ではロームの新型SiC MOS-FETについて報告する。このMOS-FETはありがたいことにロームから最優先で送られて来たもので、



Tr₁, Tr₂, Tr₇: 2SK2554, Tr₃, Tr₅: 2SC2240, Tr₆: 2SA970, Tr₈: 2SJ217
D₁, D₂, D₃, D₄, D₅: HZ6C2, G₁, G₂, G₃, G₄: TC4011BP

[図14] 保護回路制御部



本IVCはゲインコントローラーを持たないため、フロントパネルには電源スイッチとその表示、保護回路の表示のみが並ぶ



パワー IVC基板を左右の放熱器に取り付けているため、入力と出力端子は左右に振り分けて取り付けられている。ACコードはダイエイ電線50芯を使用

真っ先にテスト結果を出すことができた。現在このMOS-FETは各方面でのテスト段階であり、型番はSCTMU001Fに決まったが、

一般発売は8月の見込みである。DCアンプの進化速度から考えると遠い未来に感じるが、よいデバイスは一刻も早く発表するべきだ



と考へ、パワー IVC の製作方法も含めて報告する。ちなみに SiC はシリコンカーバイド、T は DMOS-FET、MU は音楽用、001 は連番、F は TO220AB パッケージを意味する。

SCTMU001F の絶対最大定格比較

SCTMU001F の特徴を知るために、SCTMU001F とパワー IVC で大成功の SCT2080KE それにドライブ段に最適な Si MOS-FET 2SK214 の絶対最大定格を表 3 で比較しよう。

ドレイン・ソース間電圧 V_{DSS} は SCT2080KE の 1200V に対して SCTMU001F が 400V と 1/3 である。ドレイン電流 (パルス) I_{Dpulse} は SCT2080KE の 80A に対して SCTMU001F は 60A と 3/4 である。許容損失 P_D は SCT2080KE が 179W、SCTMU001F が 132W と 4/5 である。オーディオアンプでは V_{DSS} は 400V もあれば十分過ぎるほどだ。 I_{Dpulse} と P_D で比較すると、SCTMU001F は SCT2080KE を 2/3 にスケールダウンしたようなパワー FET といえる。出力段用 FET の場合、大は小を兼ねることもあり、 P_D の大きな SCT2080KE のほうが応用範囲が広い。SCTMU001F は音楽再生用に開発された珍しいデバイスなのだ。

これらのパワー FET に対して、 P_D が 1.75W/30W (無限大放熱器付き) の 2SK214 を比較したのは、SCTMU001F をドライブ段に使用してみようというアイデアからだ。2SK214 のドレイン電流 (DC) I_D は 0.5A だが、ドライブ段には十分な I_D である。 V_{DSS} は 160V で、半導体アンプには十分な耐圧だ。

今度は電気的特性を表 4 で比較しよう。 G_{fs} はゲインを決定する順

[表 3] MOS-FET の絶対最大定格
絶対最大定格 ($T_a=25^\circ\text{C}$)

パラメーター	シンボル	SCT2080KE	SCTMU001F	2SK214
ドレイン・ソース間電圧	V_{DSS}	1200V	400V	160V
ドレイン電流 (直流)	I_D $T_C=25^\circ\text{C}$	35A	20A	0.5A
	I_D $T_C=100^\circ\text{C}$	22A		
ドレイン電流 (パルス)	I_{Dpulse}	80A	60A	
ゲート・ソース間電圧	V_{GSS}	-6V ~ +22V	-6V ~ +22V	-15V ~ +15V
許容損失 ($T_C=25^\circ\text{C}$)	P_D	179W	132W	1.75W/30W
ジャンクション温度	T_j	150°C	150°C	150°C
保存温度	T_{stg}	-55°C ~ +150°C	-55°C ~ +150°C	-45°C ~ +150°C

ローム&日立データシートより

[表 4] MOS-FET の電気的特性
電気的特性 ($T_a=25^\circ\text{C}$)

パラメーター	シンボル	SCT2080KE	SCTMU001F		2SK214
伝達コンダクタンス	G_{fs}	3.7S ($V_{DS}=10\text{V}$, $I_D=10\text{A}$)	2.7S ($V_{DS}=10\text{V}$, $I_D=10\text{A}$)	28mS ($V_{DS}=10\text{V}$, $I_D=10\text{mA}$)	40mS ($V_{DS}=20\text{V}$, $I_D=10\text{mA}$)
入力容量	C_{iss}	2080pF	1218pF	1200pF	90pF
出力容量	C_{oss}	77pF	102pF	380pF	
帰還容量	C_{rss}	16pF ($V_{GS}=0\text{V}$, $V_{DS}=800\text{V}$, $f=1\text{MHz}$)	14pF ($V_{GS}=0\text{V}$, $V_{DS}=400\text{V}$, $f=1\text{MHz}$)	51pF ($V_{GS}=0\text{V}$, $V_{DS}=10\text{V}$, $f=1\text{MHz}$)	2.2pF ($V_{GS}=10\text{mA}$, $V_{DS}=10\text{V}$, $f=1\text{MHz}$)

ローム&日立データシートより

方向伝達コンダクタンスで、電極間容量は高域カットオフ周波数 f_C を決める要素であり、この 2 つはオーディオアンプで最も大事な特性だ。

G_{fs} は SCT2080KE の 3.7S に対して、SCTMU001F は 2.7S で SCT2080KE の 1/1.37 である。出力段では SCT2080KE のゲインが SCTMU001F より 3dB 高くなる。クロードゲインを等しくすれば、SCT2080KE のほうが NFB 量が 3dB 多くなり、歪率が 3dB 少なくなる。

電極間容量の比較では、SCTMU001F の入力容量 C_{iss} は 1200pF で SCT2080KE の 2080pF に対して 1/1.71 である。出力容量 C_{oss} と帰還容量 C_{rss} は大差ない。したがってドライブ段と出力段の結合部分の f_C は SCTMU001F が SCT2080KE より 1.71 倍高くなる。オープンゲインが少なく、NFB 量も少なくなることで相まって、NFB の安定度が高くなる。

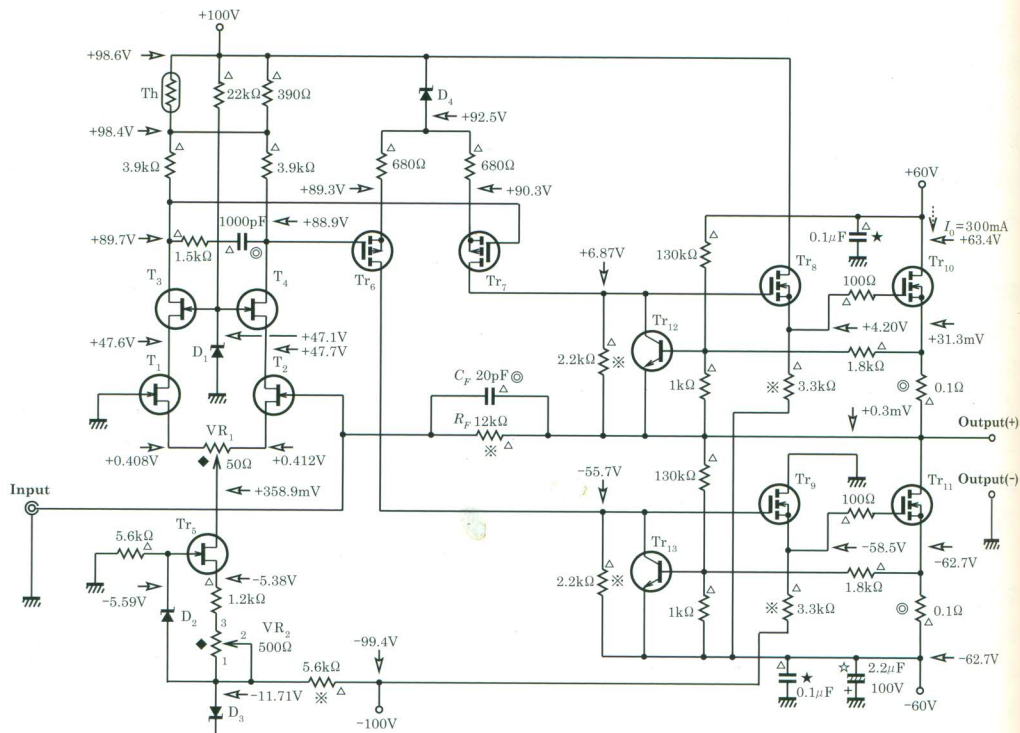
SCTMU001F はゲインコントロール (可変電流電圧変換率) が必要で、100W 以上のハイパワー

は不必要なマルチアンプ用パワー IVC 出力段で本領を発揮するだろう。

ただし、オーディオアンプ用途のパッケージは SCT2080KE と同様の TO-247 が便利だ。TO-220 では放熱器に固定するとき絶縁ワッシャーが必要で、本機のようにサイドパネル (放熱器) の内側からビス留めするときには、放熱フィンの取り付け孔を絶縁ワッシャーに合わせて、 $\phi 4\sim 5\text{mm}$ に広げなければならない。

今度はドライブ段への応用を考えて、SCTMU001F と 2SK214 を比較しよう。デバイスの特性は測定条件によって変わる。 G_{fs} は I_D の関数であり、電極間容量は V_{DS} の関数だ。そこでローム提供のデータシート中、 I_D 対 G_{fs} 特性、 V_{DS} 対電極間容量特性から、2SK214 と同じ条件の G_{fs} と電極間容量を求めたのが、SCT2MU001F の 2 列目のデータだ。

SCTMU001F は本来大電流・高電圧用デバイスなので、小電流領域では G_{fs} が 2SK214 より小さくなる。電極間容量のうち、 C_{iss} は



Tr₁, Tr₆, Tr₈, Tr₉, Tr₁₀, Tr₁₁: 2SK117BL, Tr₆, Tr₇: 2S1J77, Tr₈, Tr₉: SCTMU001F, Tr₁₀, Tr₁₁: SCT2080KE, Tr₁₂, Tr₁₃: 2SC2240
 D₁: RD47F, D₂: HZ6C2, D₃: HZ12B1, Th: 200D-5, Tr₁とTr₂, Tr₃とTr₄, Tr₆とTr₇, ThとTr₁₀は熱結合
 Tr₁₀, Tr₁₁は放熱器に取り付ける, ※:スケルトン, ◎: 双信電機 SE, ◆: コパルTM-7P
 ★: ニッセイ電機 積層フィルム APS, ☆: SILMIC II α

図15] SCTMU001FドライブSiC MOS-FETパワーIVC

1218pFで変わらないが、 C_{oss} と C_{rss} はかなり増えている。 C_{iss} は2SK214の13倍もあり、2段階カレントアンプがSCTMU001Fをドライブできるかどうか心配だ。

ただこう考えると巨大 C_{iss} のドライブも無理ではないことがわかる。MOS-FETは V_{GS} によって I_D が変化するが、実際にはゲートに蓄積する電荷で I_D が変化する。出力段では I_D の変化が10A以上になるので、その変化に要する電荷の変化も大きく、電荷を短時間で充電するためには、大きなドライブ電流が必要になる。しかしドライブ段の I_D の変化はせいぜい数10mAだ。たとえ C_{iss} が大きくても電荷の変化は少なく、小さいドライブ電流でも短時間で C_{iss} を充放電ができるはずだ。

そこで本機のドライブ段を2SK214からSCTMU001Fに入れ替えてテストした回路が図15のSCTMU001Fドライブ段パワーIVCである。幸い2SK214とSCTMU001Fは同サイズでドレインとソースの配置が逆なだけである。 I_0 はVR₂の調整範囲で正確に調整できた。2SK214の I_D の温度係数は負で、SCTMU001Fの温度係数は正なので、温度補償用Thの平行抵抗を220Ωから390Ωに変更して、安定度が確保できた。

さらに、SCTMU001Fの C_{iss} が大きく、この段のカットオフ周波数が低くなるので、NFBの安定化のために、位相補正回路の定数を図15のように変更した。たったこれだけの変更で、実用的

なSCTMU001Fドライブ段SiC MOS-FETパワーIVCが実現した。

さっそくネットワークシステムで音楽を聴いてみたが、目の覚めるような美しい音が出て、片端からソースを取り替えて聴きまくってしまった。

一応特性を確認する必要があると思い、出力電力対歪率特性を測定したのが、図16の8Ω負荷時と図17の4Ω負荷時の特性だ。8Ω負荷では、100W以上の領域で、1kHzの歪率が2SK214ドライブより少なくなっている。10kHzではさすがに歪率が増えているが、この程度なら他のパワーIVCと同等だ。2SK214ドライブパワーIVCが特に高域の歪率が少ないのである。13倍の C_{iss} をドライブし



ているにもかかわらず、1.7倍以下の歪率の増加で済んでいる。完全対称アンプには、容量をドライブする潜在的な能力があったのだ。

4Ω負荷では、1kHzに対して10kHzの歪率が増えているが、出力段の I_D の変化が2倍になり、ドライブに要する電流も2倍に増えているからだ。また位相補正の容量値を大きくしてあるので、高域のNFB量が減少したのも原因だ。それでもこの程度の歪率増加は問題にならない。今回はドライブ段におけるSiC MOS-FETの有効性を確認するのが目的だ。SiCドライブ段の音を聴いてしまうと、一刻も早く2SK214と同クラスのドライブ用SiC MOS-FETが欲しくなる。

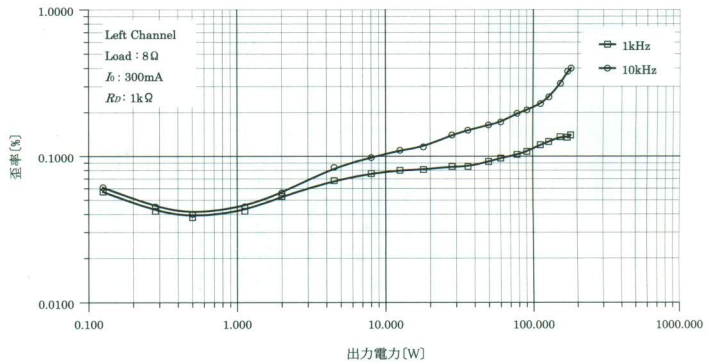
製作

SCTMU001Fの発売はまだ先の話だが、今からSCTMU001Fドライブパワー IVCについても、並行して説明していく。

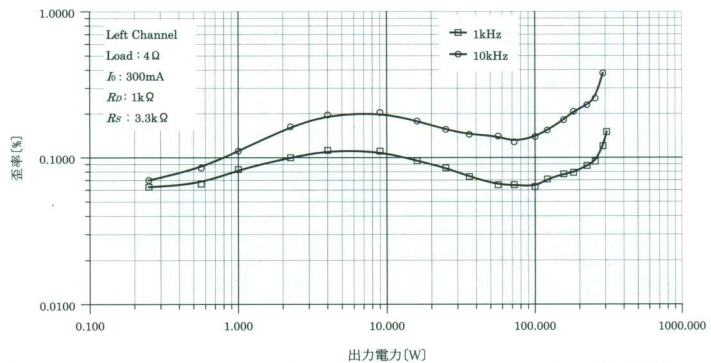
半導体の電極接続

図18は半導体の電極接続である。2SK214とSCTMU001Fは同サイズだが、ドレインとソースの配列が異なり、SCTMU001FはSCT2080KEと同じ配列になる。基板配線時には注意が必要だ。2SK214はソースが、SCT2080KEとSCTMU001Fはドレイン放熱フィンに接続されている。

TC4011BPのピン接続は、今まで回路図に合わせて、NANDゲートとInvert ORゲートの表示を使いわけてきた。しかし同じゲートが正論理ではNANDの働き、負論理ではInvert ORの働きをし、4個のゲートのうち、どのゲートにどの働きをさせるかは設計者の自



【図16】 SCTMU001FドライブSiC MOS-FETパワー ICの出力電力対歪率特性(8Ω負荷)



【図17】 SCTMU001FドライブSiC MOS-FETパワー IVCの出力電力対歪率特性(4Ω負荷)

由なので、データシートではすべてのゲートをNANDで表示し、クワッドNANDゲートと呼んでいる。そこで今回からは一般的な方法で表示する。

2SK117BLの I_{DSS} 測定

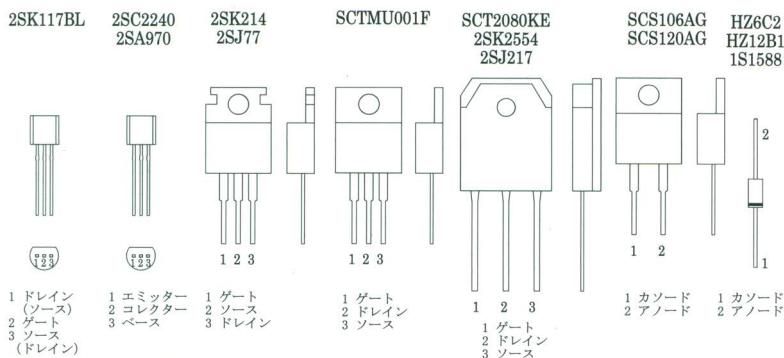
初段差動アンプ (Tr_1 , Tr_2) 2SK117BLは2個のFETのマッチングがよいほど出力オフセット電圧 V_0 の変動(ドリフト)が少なくなる。図19の測定回路で I_{DSS} (ゲート・ソース間電圧が0V時のドレイン電流)を測り、その差が0.1mA以内のFETでペアを組んで差動アンプに使う。 V_{DS} は4.8~9Vで、バッテリーなどを利用する。

カスコードアンプ (Tr_3 , Tr_4) 2SK117BLのマッチングは差動ア

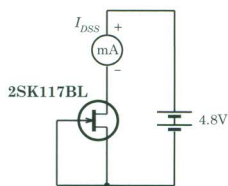
ンプほどシビアでない。マッチングのよいFETを差動アンプに使い、次のFETをカスコードアンプに、余ったFETを定電流回路 Tr_5 (2SK117BL)に使えばよい。

SCT2080KEの V_{GS} 測定

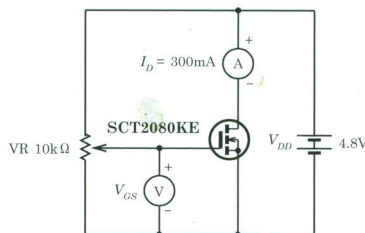
出力段 (Tr_{10} , Tr_{11}) SCT2080KEはプッシュプル動作なので、FETの特性が揃っているほど非対称歪み(偶数次高調波)が少なくなる。図20の測定回路で、 I_D が300mAになるようにVRで V_{GS} を調整し、このときの V_{GS} を読み取る。 V_{DS} は4.8Vで300mA以上流せればよいので、バッテリーなどを利用する。ドレイン損失は少ないので、SCT2080KEは短時間なら放熱器に取り付けなくてもよい。 V_{GS} の小さい順に並べ、 V_{GS} の



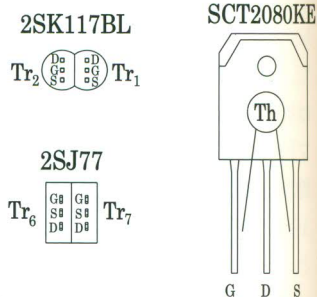
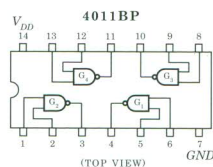
【図18】 半導体の電極接続



【図19】 2SK117BLの I_{DSS} 測定



【図20】 SCT2080KEの V_{GS} 測定



【図21】 熱結合

近いものどうしでペアを組んで出力段に使用する。

熱結合

パワーIVCで必要不可欠な熱結合は、ドリフトに影響する初段差動アンプ (Tr_1 , Tr_2) と2段目カレントアンプ (Tr_6 , Tr_7)、2SK214、アイドリング電流 (無信号時出力段電流) I_0 に影響する温度補償用Th 200D-5 と出力FET (Tr_{10}) である (図21)。カスコードアンプは特に熱結合の必要はないが、一応差動アンプに合わせて、熱結合しておく。

Tr_1 と Tr_2 、 Tr_6 と Tr_7 の熱結合は、FETの平らな面を速硬化性接着剤アルルダイトラピッドで接着する。接着剤が硬化し始めるタイミングで位置の微調整をする。このタイミングはごく短い時間なので、他の作業と並行してもよいが、ときどき硬化の度合いを確認する。Th と Tr_{10} の熱結合は Tr_{10} を出力段基板に配線し、放熱器に取り付けるときに行う。

パワーIVCドライブ段基板

本機の基板はすべてサンハヤトのユニバーサル基板AT-1Sを所定のサイズにカットして製作する。

図22は2SK214ドライブパワーIVCドライブ段基板である。ドライブ段基板のみ、基板取り付けサポートの位置に合わせて、取り付け孔を最外部ランドの孔より内側に1.5mmずらしてあける。この基板には保護回路DC検出部も配置する。前回のDAC搭載パワーIVCのドライブ段基板に似ているが、-電源付近のパーツ配置にゆとりを持たせるために、全体的に1ピッチ+側にならしてある。

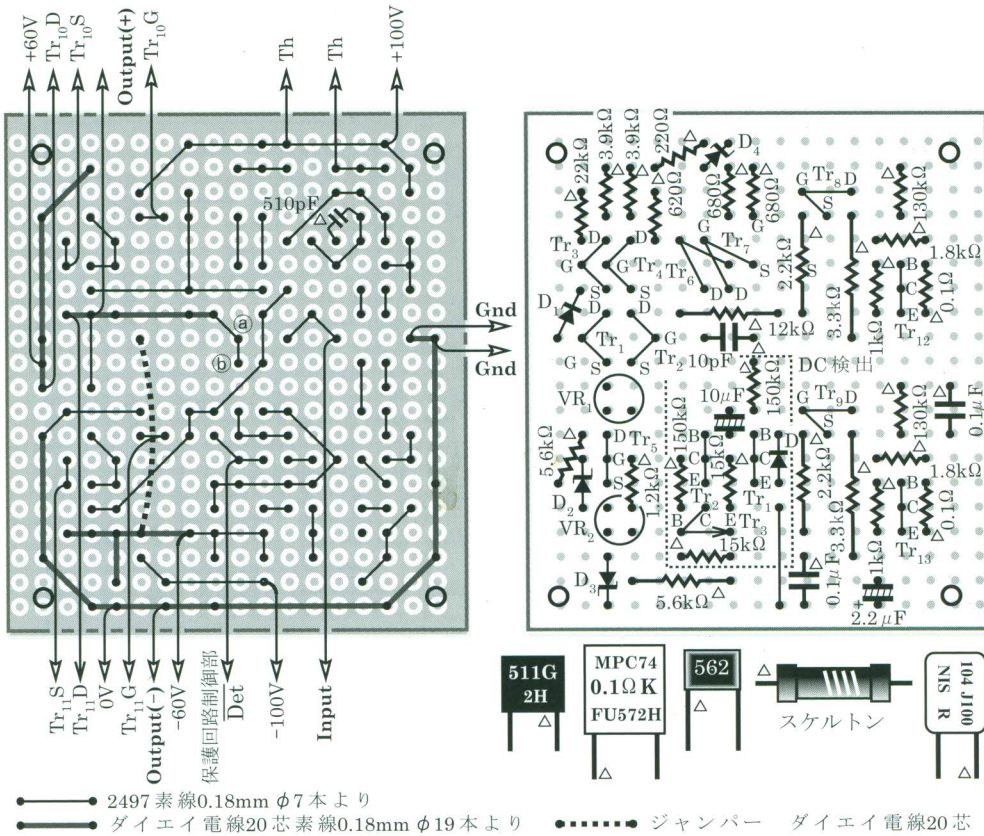
定電流回路用電源は前回と異なり-100Vで、パラレルレギュレーター (5.6kΩ, HZ12B1) を追加してある。またドライブ段 (Tr_8 , Tr_9) のソース抵抗3.3kΩの接続も本機特有の配線だ。 Tr_8 , Tr_9 はかなり温度上昇するので、小型の放熱器を取り付ける。

スケルトン抵抗5.6kΩは発熱が多いので、基板から離して配線す

る。その他のスケルトン抵抗は基板に密着して配線してよい。定電圧ダイオードは基板から4mmほど離して配線する。 VR_1 , VR_2 はケースの上側から調整しやすいように、斜めに傾けて配線する。DC検出部の0Vラインの一部は基板表側でジャンパー配線 (7本より線) になる。

位相補正コンデンサー 510pFは基板裏に配線する。図中の①、②間は、DC検出部のチェック後に配線する。3.3kΩと-60V間は20ピッチで配線する。配線が済んだら、2回以上はチェックをし、チェックが済んだら VR_1 はセンター、 VR_2 は左いっぱいセットしておく。

図23はSCTMU001FドライブパワーIVCドライブ段の基板である。2SK214ドライブ基板との違いは、位相補正コンデンサー 1000pF、20pF と抵抗1.5kΩ、Thのパラレル抵抗390ΩそしてSCTMU001Fのドレインとソース



【図22】 2SK214ドライブSiC MOS-FETパワー IVCのドライブ段基板

の配線である。

図24は出力段基板である。FETのリード線を通すランドの孔を $\phi 1.5\text{mm}$ に広げておく。FETのゲートとソースのリード線を基板間隔に合わせて広げ、3本揃えて 90° 緩やかに曲げる。基板にゲート抵抗 $100\ \Omega$ を配線し、基板の孔にFETのリード線を通してから、絶縁マイカを介して、FETと出力段基板を $\phi 3\text{mm}$ ビスで放熱器に固定する。FETのリード線を基板に沿って曲げ、ランドにハンダ付けする。

Thのリード線を基板に通し、FETに密着するように調整して、基板にハンダ付けする。放熱器を水平に置いた状態で、ThとFETの間隙を埋めるように、アラライトを流し込む。

2SK214を使用したパワー IVC 基板。SCTMU001Fを使用する場合も変更箇所はわずか。2個の半固定VRは天板側から調整しやすいように角度を付けて取り付ける

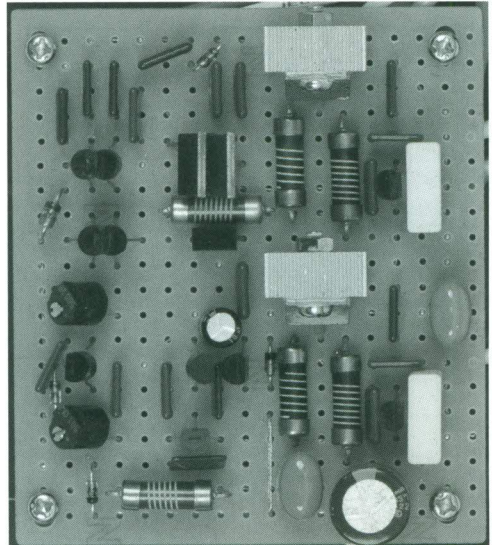
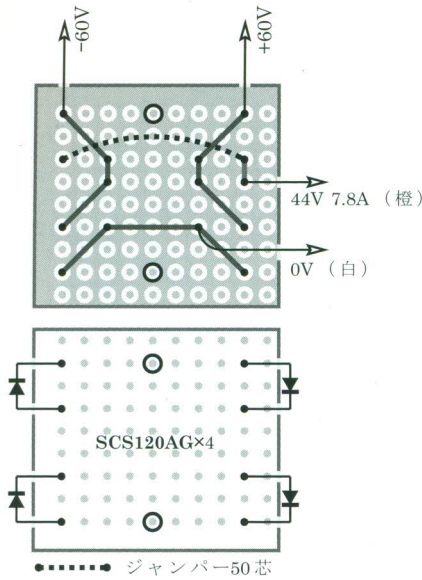


図 25, 26 は保護回路制御基板である。本機では制御基板は2分割してあるが、基板-1は従来通りの記憶回路とスイッチ回路で、基板-2は整流回路のダイオード保護

抵抗 R_X $0.33\ \Omega$ をショートするスイッチ回路である。基板-2の制御信号は基板-1の X, Y から送られてくる。

これらの基板は保護回路、ダ

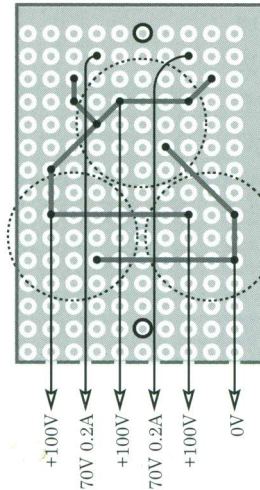


【図27】 ±60Vダイオード基板

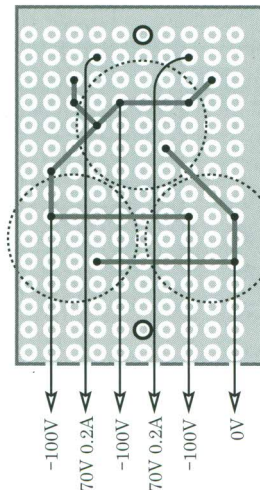
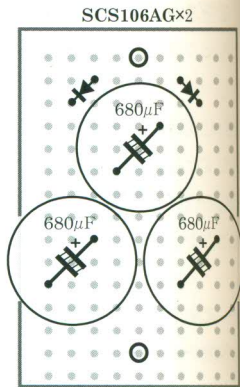
サポート（オス・メスタイプ）で固定、その両サイドに出力段基板を10mmメタルサポート（オス・メスタイプ）で固定する。基板の高さに段差を付けたのは、基板間の配線をしやすくするためだ。

図35はトランス固定アングルである。このアングルをフロントパネルとリアパネルのフランジ間に連結し、その上にパワートランスを固定する。重量級のトランスを強固に支え、天板、底板、サイドパネルを自由に取り外しできる構造だ。このアングルにはケミコン固定アングルを載せ、側面にはラグ端子を固定する。4Pラグ端子には電源オフ時ケミコン放電抵抗を、3Pラグ端子にはLEDシリーズ抵抗を配線する。

図36はケミコン固定アングルである。2個の56000 μ Fを左右に並べて固定する。フロント側から見て、右側ケミコンのフロント側端子を+60V、左側ケミコンのフロント側端子を-60Vにして、リア側の端子を0Vとする。



【図28】 +100V整流基板



【図29】 -100V整流基板

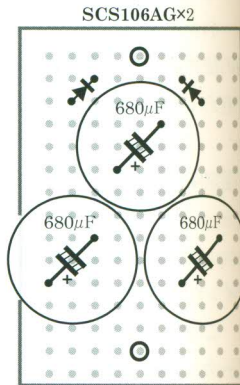


図37は保護回路、ダイオード基板固定アングルである。ダイオードとスイッチ用FETの放熱板を兼ねており、メタルサポート（50mmオス・メスタイプとメス・メスタイプを連結して100mmに延長する）2本でトランス固定アングルにネジ留めする。ダイオードの固定孔は絶縁ワッシャーに合わせて ϕ 4~5mmにする。

電源部の配線とチェック

電源部の配線はフロントパネル

とリアパネルをトランス固定アングルで連結、ケミコンアングルを固定、トランスとケミコンを固定した状態で、トランスの1次側から始める。AC100Vコードにはダイエー電線50芯赤黒並行コードを使う。向きはダイエー電線に共通で、コード表面の印刷で“DAIEI”の“D”をホット側（エネルギー源）とする。ACプラグにコードのホット側をハンダ付け、コールド側をリアパネルのブッシュに通す。黒は1次巻線の白（0V）とより合わ

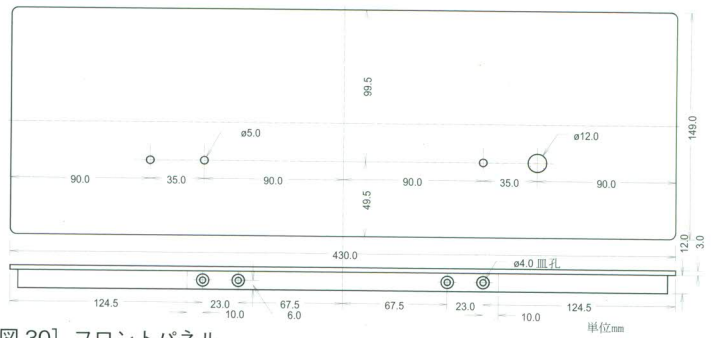


せて予備ハンダをし、先端を4mmほどにカットして、ラグ端子にハンダ付けする。赤は電源SWに配線、1次巻線の黄(100V)も電源SWに配線、黒(Gnd)をラグ端子取り付けビスに固定したタマゴラグ(トランスアングルに固定しているの、シャーシアースになる)に配線する。

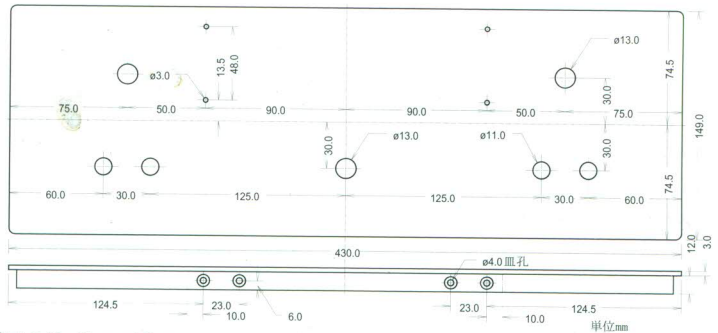
本パワートランスには多数の2次巻線が出ていますので、テスター(抵抗レンジ)で各巻線を判別し、使用しない6V巻線と113V巻線(赤)の先端をカットし、絶縁テープを巻いてから、ひとまとめにしてトランスとトランス固定アングルの間に収納する。使用する2次巻線は誘導ハムを軽減するために2本より合わせ、先端をカットし、チェック時にショート事故を起こさないように、先端に絶縁テープを巻いておく。

ケミコンの0V端子間を37本より線(ダイエー電線50芯から13本除いて、より合わせる)で配線し、このラインをコモン0Vラインとして、すべての電源の0VラインとパワーIVCの0Vラインを接続する。2組の44V巻線のうち、片方は0V(白)、もう片方は44V(橙)をコモン0Vラインに配線する。先端を4mmほど出して、コモン0Vラインに巻き付けてからハンダ付けする。70V巻線の0Vライン(黒)も同様にコモン0Vラインに配線する。

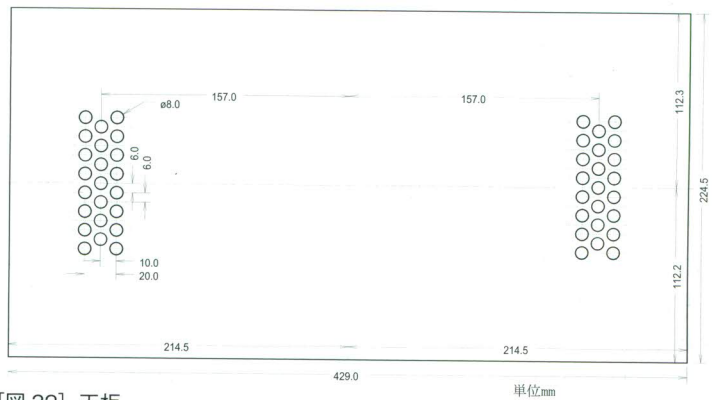
-100V整流基板に10mmサポートを固定、70V巻線(橙)を配線、-100VラインをL.ch, R.chドライブ段基板に届く長さに引き出す。-100V整流基板の動作チェックをする。Power SWをオン、-100V出力電圧をチェック。チェック後は抵抗56Ω/5Wでコンデンサの電荷を放電しておく。



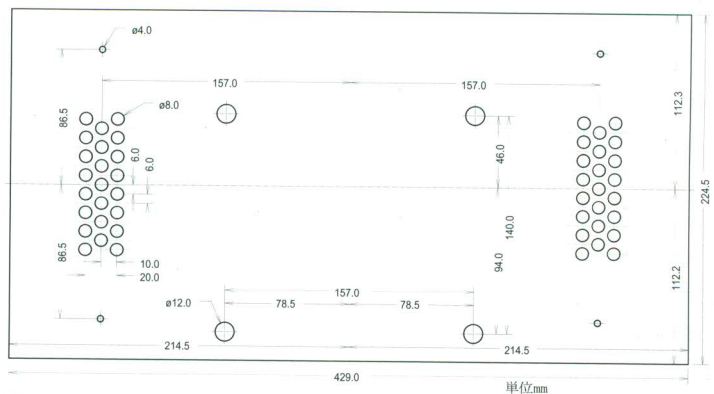
[図30] フロントパネル



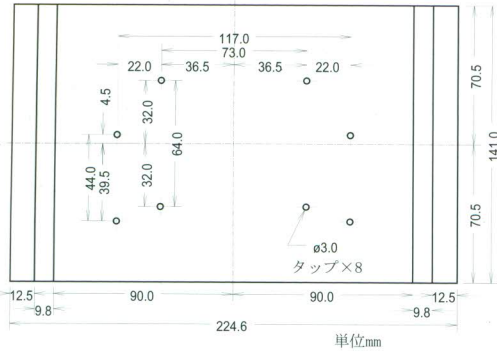
[図31] リアパネル



[図32] 天板



[図33] 底板



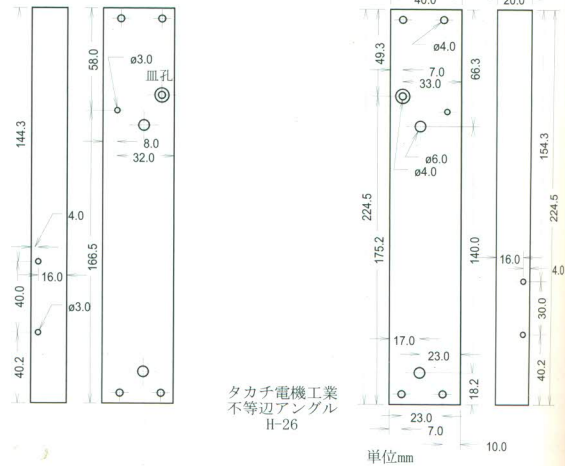
[図 34] サイドパネル

-100V 整流基板から AC70V ラインを延長し、+100V 整流基板に配線する。+100V 整流基板から +100V ラインを3本引き出し、2本はドライブ段基板に届く長さに、1本は保護回路制御基板-1に届く長さにカットしておく。+100V 出力電圧をチェックする。チェック後は抵抗で放電しておく。+100V、-100V 整流基板をリアパネルに固定する。

保護回路制御基板-1、2とダイオード基板がすでに固定されているアングルを、100mmに延長したメタルサポートに固定する。2組の44V巻線で未配線の44V(橙)と0V(白)をダイオード基板のAC入力側に配線する。

DC出力側は保護回路-2のAまたはCに接続するのだが、万が一制御基板にミスがあり、電源オン時に R_X がショート状態になっていると、ラッシュカレントでダイオードが危険な状態になるので、出力側には、シリーズ抵抗 0.33Ω を基板裏側に仮配線し、抵抗の出力側とAまたはC間を50芯コードで配線する。Bとケミコンの+端子、Dとケミコンの-端子間を50芯で配線する。

制御基板-1と制御基板-2間の+6V(D_3 の-端子)、0V、X、Yの4本を配線する。次に制御基板-1の



[図 35] トランス固定アングル

+100V (20芯)、 $+V_I$ 、 $-V_I$ (50芯)、0V (20芯)、LEDを配線する。 $+V_O$ (30芯)、 $-V_O$ (30芯)、Det (20芯) からそれぞれ2本のリード線を引き出し、ドライブ段基板に届く長さにカットしておく。ケミコンの+60V端子と-60V端子間の放電抵抗 56Ω とPower SWの配線をする。

制御基板-2の動作確認をする。Power SWをオン。ケミコンの端子電圧をチェック。±60V前後ならOKだ。ケミコンの電荷はPower SWオフ時に放電される。定電圧ダイオード D_4 、 D_5 の端子電圧をチェック。電源オン直後から約20秒間は0V。その後6VになればOKだ。20秒後は Tr_6 、 Tr_7 がオンになり、 R_X がショートされた状態になる。

制御基板-1の動作確認をする。Detから出ているコードの先端を剥き、コモン0Vラインに一瞬接触する。Protector LEDが点灯して、± V_O が0VにシャットダウンすればOKだ。制御基板-1、2が正常に動作していることが確認され

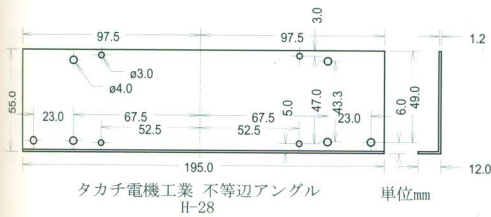
たので、ダイオード基板出力側に仮配線していた 0.33Ω を外し、50芯コードをダイオード基板出力に配線する。以上で電源部の配線とチェックが終了する。

パワーIVCの配線と調整

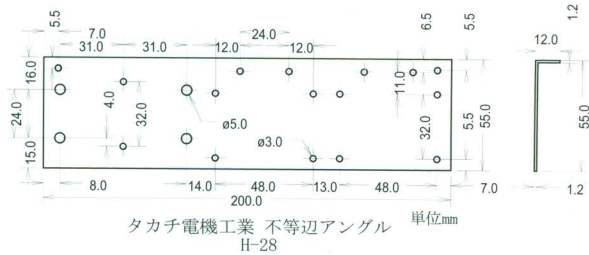
スピーカー端子に30芯コードを配線する。スピーカー端子は熱容量が大きいので、ハンダ付けのコツがある。30芯コードのコールド側を5mmほど剥き、予備ハンダをする。スピーカー端子のつまみを左いっぱいに戻しておく。端子に予備ハンダをする。熱が冷めないうちにすかさず予備ハンダ済みのコードをハンダ付けする。端子の熱が冷めてからではハンダが溶けにくい。

ドライブ段基板を固定したサイドパネルをケースの両サイドに水平に置き、スピーカーコードを基板に届く長さにカットする。

入力ピンジャックに20芯コードのホット側を配線。ドライブ段基板に届く長さにカットする。出力段基板をサイドパネルに固定。FETのD (30芯ホット側)、G (20



[図 36] ケミコン固定アングル



[図 37] 保護回路、ダイオード基板固定アングル

芯コールド側), S (30芯コールド側), Th (20芯) からコードを引き出し、ドライブ段基板に届く長さにカットする。以上でパワーIVC配線の準備ができたので、残りの配線作業を慎重にする。

配線はL.chから始める。R.chサイドパネルは固定しておく。ケースの左側を手前に置き、サイドパネルの上側を手前にして水平に置く。ドライブ段基板を垂直に立てた状態で、出力段基板から出ているコードをS、D、G、Thの順に配線する。スピーカーコードを配線。コモン0Vラインからの0Vと±100Vラインを配線。入力ラインを配線する。保護回路制御基板-1のDetラインを配線する。

DC検出回路のチェックをするために、-60Vラインをドライブ段基板に接続するが、万が一のために、1Aヒューズを基板と-60Vライン間に入れておく。+60Vラインはまだ接続しない。基板裏の④⑤間の配線を外し、⑥からコードを引き出す。コモン0Vからテスト用コードを引き出す。⑥と0V間に1.2V電池を一瞬タッチする。Protector LEDが点灯すればOKだ。電池の極性を変えて同じチェックをする。チェックが済んだら④、⑤間を配線する。

最後はドライブ段基板の調整だ。調整するチャンネルの+60V

ラインと基板間に1Aのヒューズとフルスケール1Aの電流計を入れる。スピーカー端子にはダミロード (56Ω金属皮膜抵抗7本パラ接続) を接続。入力端子は1kΩ抵抗でターミネートする。

Power SWをオン。オフセット電圧 V_0 を測定 V_0 は0Vに近く、アイドリング電流 I_0 はゼロだろう。VR₁で V_0 を0Vに調整する。VR₂をゆっくり右回転すると、ある角度から I_0 が流れ始めるので、VR₂をさらに慎重に回転し、 I_0 を300mAに合わせる。 V_0 を再調整する。10分ほどようすを見て V_0 と I_0 を正確に調整する。

いったん電源をオフ。アンプが冷めるのを待って再度電源をオン。 V_0 と I_0 を確認する。 V_0 は±10mV以内、 I_0 は1分以内に300mAになり、その後はほとんど変化しない。R.chも同様の配線と調整を行う。

本機の音

本機のようなハイパワーアンプはネットワークシステムを対象にしているのだから、オンケン+アルテック416-8Aの3ウェイシステムで試聴した。2SK214ドライブパワーIVCは前回のDAC搭載パワーIVのドライブIVC部と類似した回路で、音の傾向も近いので、SCTMU001FドライブパワーIVCについて報告する。

本機は聴き慣れた音楽ソースで

も、再生音楽から引き起こされる感動がきわめて大きい。冷静に音を判断するゆとりがないほど、音楽に引き込まれてしまう。すべての音楽が美しく、上品かつ芸術的なのだ。

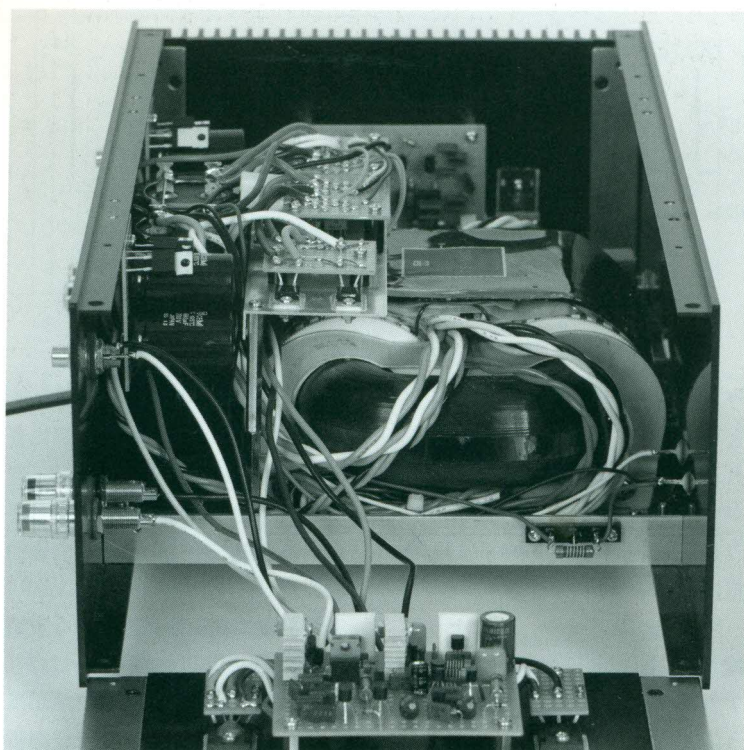
弦が実に細やかに、多彩な表情を見せている。ソロはあくまでも透明、艶やかで、演奏の情熱がほとばしり、余韻が鮮やかに空間に広がっていく。アンサンブルは濃密重厚で、滑らかさときめ細かさとパルシブな刺激に富んでいる。ハーモニーが充実し、分厚い音像がいっぱいに押し寄せてくる。

木管も実に多彩な音色を彷彿とする。個々の楽器の音色のコントラストもリアルで、タンギングの瞬間の音が響き、管が共鳴し、楽器独自の音が発生し、深々とした余韻が後を引く。多数の管楽器が交錯するようすはスリルと感動が限りなく連続する。

金管楽器も重厚かつ浸透的だ。特にトロンボーンとチューバが充実している。ホルンがいつそう歌うようになり、トランペットが華やかに飛び交っている。

パルス性衝撃音が実に美しい。パーカッションの音は細やか、かつ華やかで風のような風圧を発生する。

われわれは音楽ソースに蓄積されている内容を余すことなく、すべて音として再現しなければなら



片側の放熱器を取り外したところ。中央にアルミアングルに載せた1kVAのRコア型パワートランスがあり、その上側に保護回路制御基板とダイオード基板を載せたアングルを金属スペーサーで取り付ける

ない。そうすることが作曲家や演奏家に対する礼儀なのだ。この努力こそオーディオをやる限り、続けなければならない最重要事項だろう。

SiC MOS FET ハイパワー IVC の音質

角田郁雄

歴代のオーディオ DC アンプは、どれも魅力溢れる金田明彦氏の力作である。最近の DC アンプシリーズでは、どれを使ったらよいのか迷うほどだ。しかし私の好みでは、今回の SiC MOS-FET ハイパワー IVC が一番好印象である。192kHz/24bit のユリア・フィッシャーのヴァイオリン協奏曲を聴くと、ソリストの演奏の姿が高解像度で、高い音階も艶やか。細身にならないのである。さらに中低音では胴の響きが木質感たっぷりで、弦の擦れるようすも克明に描かれる。オケの弦パートも音数が多く、奏者、各自の楽器の集まりであることが手にとるようにわか

る。この曲のフォルテシモを、瞬発力をもって鮮やかに聴かせてくれる。真空管を想わせる豊かな倍音も聴き逃さない。最新のドナルド・フェイゲン「Sunken Condos」(88.2kHz/24bit) では、生演奏のようなリアルなヴォーカルが印象的で、バックコーラスのハーモニーが透明で美しい。ドラムではスネアとシンバルの響きが鮮度高く、冴えた切れ味。プラスの眩い輝き、リヴァーブ感たっぷりのギター、そしてタイトで深いベースとともに極上のドナルド・フェイゲンが聴ける。私はこのアンプで LP や PC を使った DSD 再生を楽しんでみたい。