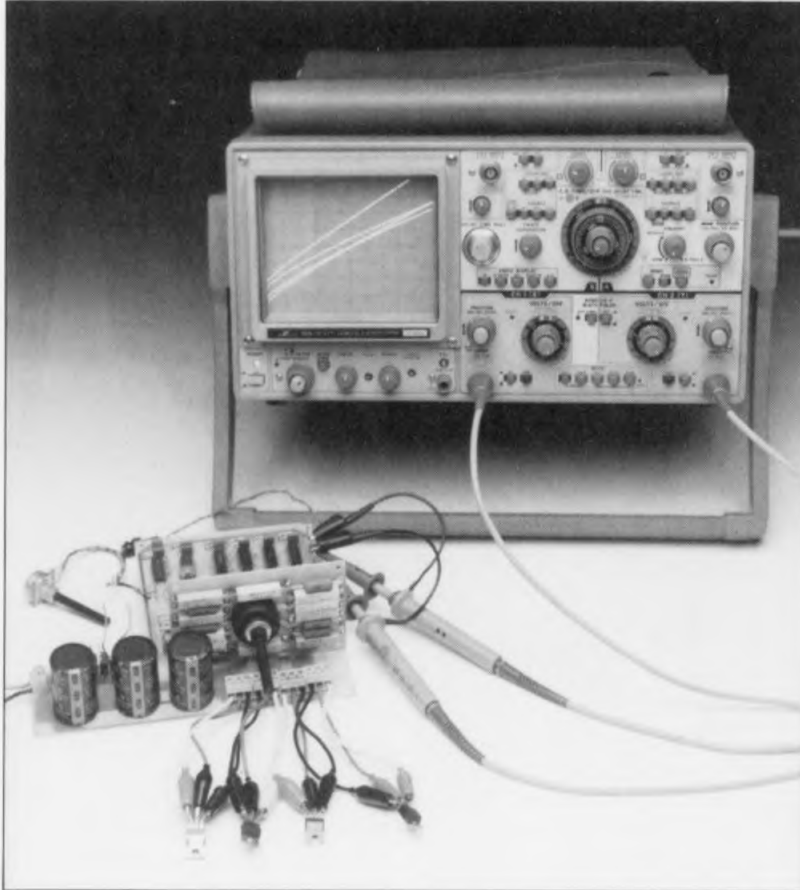


testeur de FETMOS de puissance

agence matrimoniale pour transistors FETMOS

MESURE & TEST



Il est d'une importance capitale, lorsque l'on réalise des étages de sortie d'un amplificateur, que les transistors de puissance utilisés à ce niveau aient des caractéristiques aussi proches que possible l'un de l'autre. Cette exigence ne vaut pas seulement pour les paires complémentaires mais aussi pour des FET « identiques » lorsque l'on envisage de les monter en parallèle dans l'étage de puissance. Le testeur de transistors FETMOS que nous nous proposons de décrire dans cet article permet, non seulement d'apparier des transistors complémentaires, mais encore de comparer entre eux des transistors à canal N ou canal P, pour choisir ceux dont les caractéristiques sont les plus semblables. Que vos MOSFET de puissance aient une vie longue et heureuse jusqu'à ce que la mort les sépare...

Il est fréquent, avec les amplificateurs de puissance, de répartir le signal de sortie entre 2 transistors qui se chargent chacun de traiter la moitié du signal. Il n'est pas difficile

de comprendre combien il est important, si l'on veut que les traitements subis par chacune des moitiés du signal soient identiques, que le comportement des 2 transistors concer-

nés soient aussi proches l'un de l'autre que possible. C'est dans le cas des étages complémentaires en particulier que les choses se compliquent vu que l'on a affaire, d'une part à une dispersion des caractéristiques et de l'autre à des différences dues à la technique de conception et de fabrication différentes de semi-conducteurs complémentaires (NPN/PNP ou canal N/P).

Lorsque l'on envisage de réaliser un amplificateur de puissance à FETMOS il existe une raison supplémentaire de faire en sorte de trouver des transistors appariés. Il n'est pas rare, sur ce type d'amplificateurs, de monter plusieurs transistors de sortie en parallèle de manière à permettre à l'amplificateur de fournir une puissance plus importante. Si les dits transistors montés en parallèle devaient présenter des caractéristiques franchement différentes, le courant ne s'y répartirait pas équitablement; dans ces conditions le transistor fournissant le courant le plus important s'échauffe le plus, accentuant de ce fait encore plus l'inégalité existante. Le dit transistor véhicule un courant encore plus important finissant bien souvent par dépasser prématurément. Avec la disparition de ce transistor la tâche des autres devient plus pénible, les forçant à drainer un courant plus important, avec comme résultat une destruction rapide des transistors survivants.

La seule technique permettant de réduire au mieux les différences entre des transistors de même type est de procéder à une association d'exemplaires qui, après tri, auraient présentés les caractéristiques les plus proches. Il serait bon que les conditions de test soient les plus réalistes possible, c'est-à-dire se rapprochant autant que possible des conditions d'utilisation réelles. Ceci explique que notre testeur de FETMOS de puissance soit en mesure de pousser le courant de drain à une valeur de crête de 13 A.

Que nous faut-il tester ?

La caractéristique dont la similitude est, dans le cas de transistors de sortie, le facteur à l'importance la plus grande, est la fonction de transfert. Dans le cas des FETMOS cela concerne le rapport entre la tension grille-source (U_{GS}) et le courant de drain (I_D). Nous utilisons, pour pouvoir visualiser cette relation sur l'écran d'un oscilloscope, le circuit de test dont la **figure 1** propose le principe. Il nous a fallu prévoir, de manière à pouvoir tester tant les FET

à canal N que ceux à canal P, 2 versions complémentaires de ce circuit. Sa commande fait appel à une tension continue qui vient se superposer sur un signal triangulaire. Le but du montage est de faire en sorte qu'il circule par le FET un courant de drain directement proportionnel à cette tension. C'est là la fonction de l'amplificateur différentiel qui constitue la paire de transistors présente au cœur du schéma. Via la contre-réaction introduite par le FET à tester, l'amplificateur différentiel fait en sorte que la tension aux bornes de la résistance R_D soit égale à la tension de commande. Vu d'autre part que seul le FET peut fournir le courant nécessaire, on a une proportionnalité directe entre le courant de drain (I_D) et la tension aux bornes de R_D , et partant la tension de commande.

Pour pouvoir visualiser la relation entre I_D et U_{GS} sur l'écran d'un oscilloscope nous tirons parti du fait que, tout au long du flanc montant de la tension triangulaire, le courant de drain est directement proportionnel au temps. Il suffit donc de déclencher l'oscilloscope au début de ce flanc montant et d'opter pour une base de temps telle que la durée d'un balayage ait la longueur d'un flanc montant du signal triangulaire. En d'autres termes, la visualisation du courant de drain sur l'axe horizontal (en abscisse). Pour obtenir la visualisation de la tension U_{GS} on la connecte purement et simplement au canal Y de l'oscilloscope. Et, ô miracle, que voit-on apparaître sur l'écran, la caractéristique I_D/U_{GS} de notre FET.

La visualisation d'une unique courbe ne nous amène pas bien loin. Il nous faut, pour pouvoir procéder à une comparaison, disposer à l'écran de 2 courbes caractéristiques de FET au minimum. Après mûre réflexion il est apparu que la solution la plus pratique et la plus simple consistait à être en mesure de tester simultanément un maximum de 2 FET à canal N (FET N) et 2 FET à canal P (FET P). Cette approche permet de multiples comparaisons : celle de 2 FET N, de 2 FET P, d'un FET N avec un FET P, voire celle de 2 FET N avec 2 FET P. Cette dernière tombe particulièrement à pic lorsqu'il s'agit de réaliser un étage de sortie complémentaire faisant appel à des transistors de puissance montés en parallèle.

Il ne suffit pas de réaliser le circuit de test en quadruple exemplaire pour être en mesure de visualiser les 4 courbes sur l'écran d'un oscilloscope. L'un des problèmes qui restent à résoudre est que sur l'un des

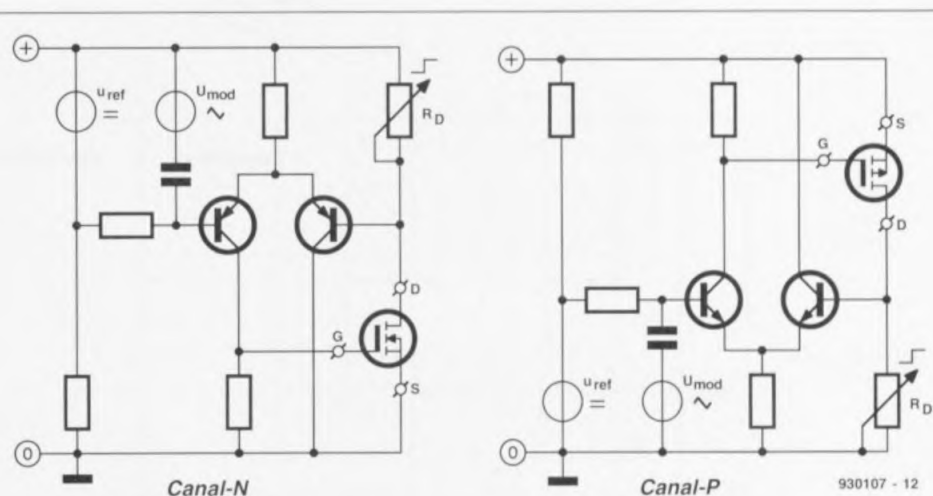


Figure 1. Principe du circuit de test, à gauche pour un FET à canal N, à droite pour un FET à canal P.

circuits de test la tension U_{GS} doit se faire par rapport à la masse (zéro) alors que sur l'autre cette mesure doit se faire par rapport à la tension d'alimentation. On se trouve confronté à une situation similaire en ce qui concerne la tension de commande du circuit de test.

La figure 2 vous propose le synoptique complet du testeur de FET-MOS de puissance. Le cœur, puisque c'est lui qui bat, du circuit est un générateur de signal triangle/rectangle. Le signal triangulaire qu'il fournit sert à la commande d'un commutateur électronique

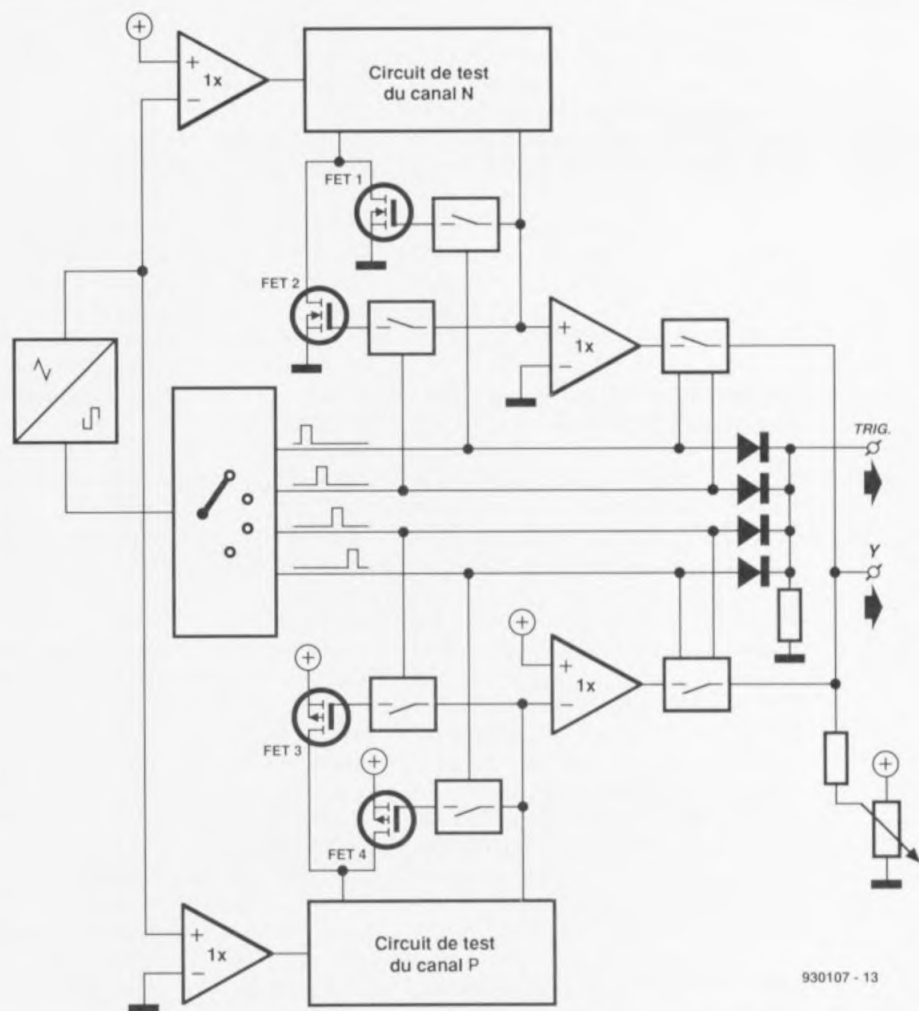


Figure 2. Pour pouvoir procéder à une comparaison valable entre les FET ceux-ci sont reliés successivement au circuit de test.

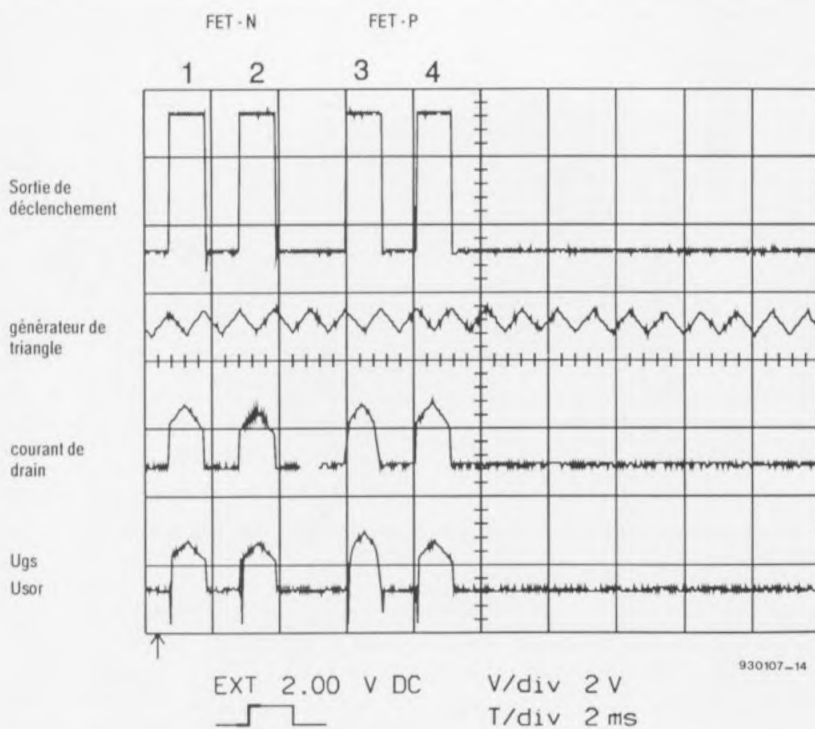


Figure 3. Quelques-uns des signaux les plus importants du testeur de FET-MOS de puissance. Nous avons, en nous aidant d'un ordinateur, juxtaposés les courants de drain d'un FET à canal N et d'un FET à canal P.

qui met en conduction chacun des 4 MOSFET pendant une durée de l'ordre de 1 ms, les mettant hors conduction pendant les 99 ms restantes d'un cycle. Comme les FET ne sont mis en circuit qu' $1/100e$ du temps total, il est possible de les tester sans les doter de radiateur, et ce même si l'on fait, au cours de l'impulsion, circuler par les dits MOSFET un courant de drain moyen de 10 A (13 A en crête).

La tâche principale des amplificateurs opérationnels présents dans le montage est de servir de tampon pour les signaux. 2 des amplificateurs opérationnels remplissent cependant une fonction bien plus essentielle. Ils servent à la transposition d'une tension par rapport à la masse en une tension référencée à la tension d'alimentation et vice-versa.

Les 2 interrupteurs électroniques présents à la sortie ont comme première fonction de permettre la transmission des signaux de sortie des 2 circuits de test vers l'entrée d'un oscilloscope. Associés au potentiomètre de sortie, ces interrupteurs permettent un positionnement optimal des courbes sur l'écran. En effet, la forme du signal de sortie avant traitement pose un problème, signal que l'on retrouve en bas du graphique de la figure 3.

La partie intéressante de ce signal est en fait ses crêtes plus ou moins

triangulaires – la forme de l'impulsion est en fait la caractéristique $U_{GS}(I_D)$ recherchée.

Intéressons-nous à l'astuce que cache l'association potentiomètre + interrupteurs : lorsque les interrupteurs sont fermés, la tension de sortie est déterminée par les amplificateurs opérationnels – la sortie de l'amplificateur opérationnel étant en effet une source de tension pratiquement idéale. Lorsque les interrupteurs sont ouverts – ce qui signifie qu'aucun des 2 FETMOS n'est soumis à une mesure – la tension de sortie est fonction de la position du potentiomètre.

Nous allons, par action sur le dit potentiomètre, décaler vers le haut le niveau de la tension pendant les pauses de mesure jusqu'à ce qu'il se trouve pratiquement à la même hauteur que les crêtes triangulaires du signal U_{GS} – on constate que sur la courbe inférieure de la figure 3 le potentiomètre n'est pas encore suffisamment « ouvert ». Le résultat de ce réglage est l'obtention d'une sorte de tension continue sur laquelle se superpose un léger ronflement résiduel. Si, dans ces conditions, nous passons l'oscilloscope en mode alternatif (CA), il suffit d'augmenter la sensibilité de l'amplificateur d'entrée pour pouvoir bien examiner cette ondulation résiduelle.

Le choix de la base de temps de l'oscilloscope est un autre facteur

important dont il faut tenir compte. Si, comme l'illustre la figure 3, on opte pour un calibre de 2 ms/div, on obtient la visualisation de 4 impulsions. Ce choix permet de vérifier que les MOSFET sont connectés correctement et que tout fonctionne comme il faut. Cependant, si l'on veut pouvoir comparer efficacement les MOSFET, il faudra ajuster la base de temps à 0,1 ms/div, en s'aidant, le cas échéant, du bouton VAR. (variable). Le déclenchement de l'oscilloscope se faisant par le signal disponible à la sortie de déclenchement (TRIG.) du testeur – on mettra pour cette raison l'oscilloscope en position de déclenchement normal (*normal trigger*) –, on aura visualisation simultanée à l'écran de 4 courbes $U_{GS}(I_D)$, comme l'illustre éloquemment la photographie en début d'article.

Entrons dans le détail

La figure 4 vous propose le schéma du testeur de FETMOS de puissance. Le générateur de signal rectangulaire/triangulaire fait appel aux amplificateurs opérationnels IC1a et IC1b, montés respectivement en trigger de Schmitt et en intégrateur – la disposition classique en fait. Le signal rectangulaire sert de signal d'horloge pour le compteur décimal IC3. C'est IC3 qui remplit la fonction du commutateur électronique du synoptique de la figure 2, organe chargé de la mise en et hors-circuit des MOSFET.

La seule différence est que l'on dispose maintenant de 10 positions, évolution à laquelle nous reviendrons ultérieurement. Après que chacun des MOSFET ait passé son tour, le multivibrateur monostable IC4a est déclenché par l'intermédiaire de la sortie de retenue ($CT \geq 5$ de IC3). Ce monostable met IC3 hors-fonction pendant 90 ms, laissant ainsi le temps aux MOSFET de refroidir.

Pour éviter toute charge inutile pour les MOSFET ceux-ci ne sont attaqués que pendant la durée réelle de mesure, ce que l'on obtient par la fermeture du bouton-poussoir S1. Tant que S1 est ouvert, le compteur IC3 est à l'état d'initialisation ce qui a pour conséquence une mise hors-conduction de tous les MOSFET connectés au testeur. Attention, la mise hors-conduction des FET n'implique pas la mise hors-tension de toutes les connexions. L'établissement d'une liaison entre les bornes de drain et de source peut se traduire par un court-circuit monumental ! Un simple coup d'oeil au schéma suffit pour s'apercevoir, d'une part,

qu'IC3 connaît plus de positions que les 4 positions représentées sur le synoptique et de l'autre de la présence d'un nombre plus important d'interrupteurs électroniques dans le schéma. Cela tient au fait qu'après

chaque test d'un MOSFET sa grille est brièvement reliée à sa source, contact bref permettant une décharge plus rapide de la capacité de la jonction grille/source, mettant ainsi le

conduction. La pause née de ce processus à l'avantage de permettre au faisceau de balayage de l'oscilloscope de revenir en début d'écran, pour la mesure suivante. Lorsque les 2 interrupteurs associés à chaque

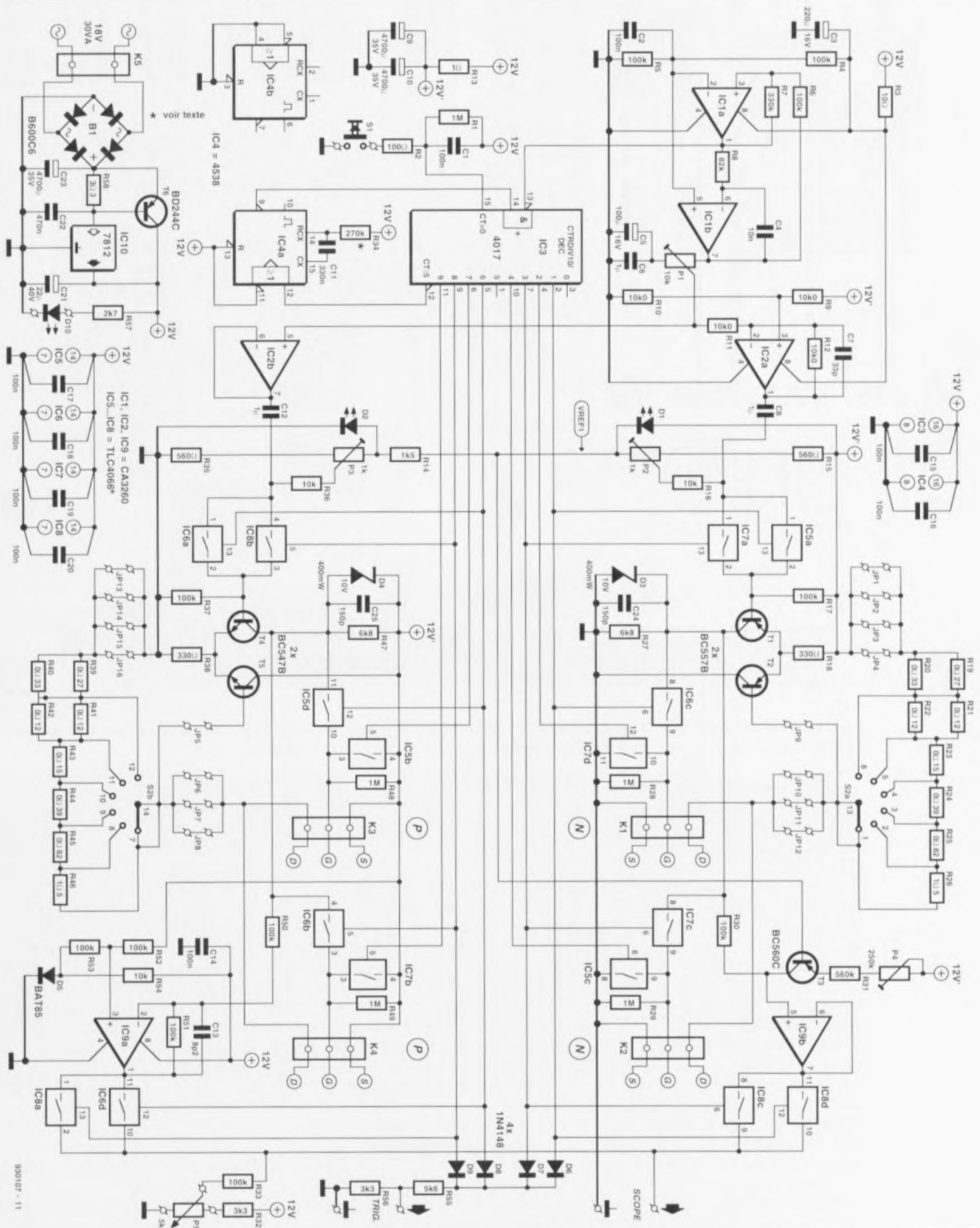


Figure 4. L'électronique du testeur de FETMOS de puissance.

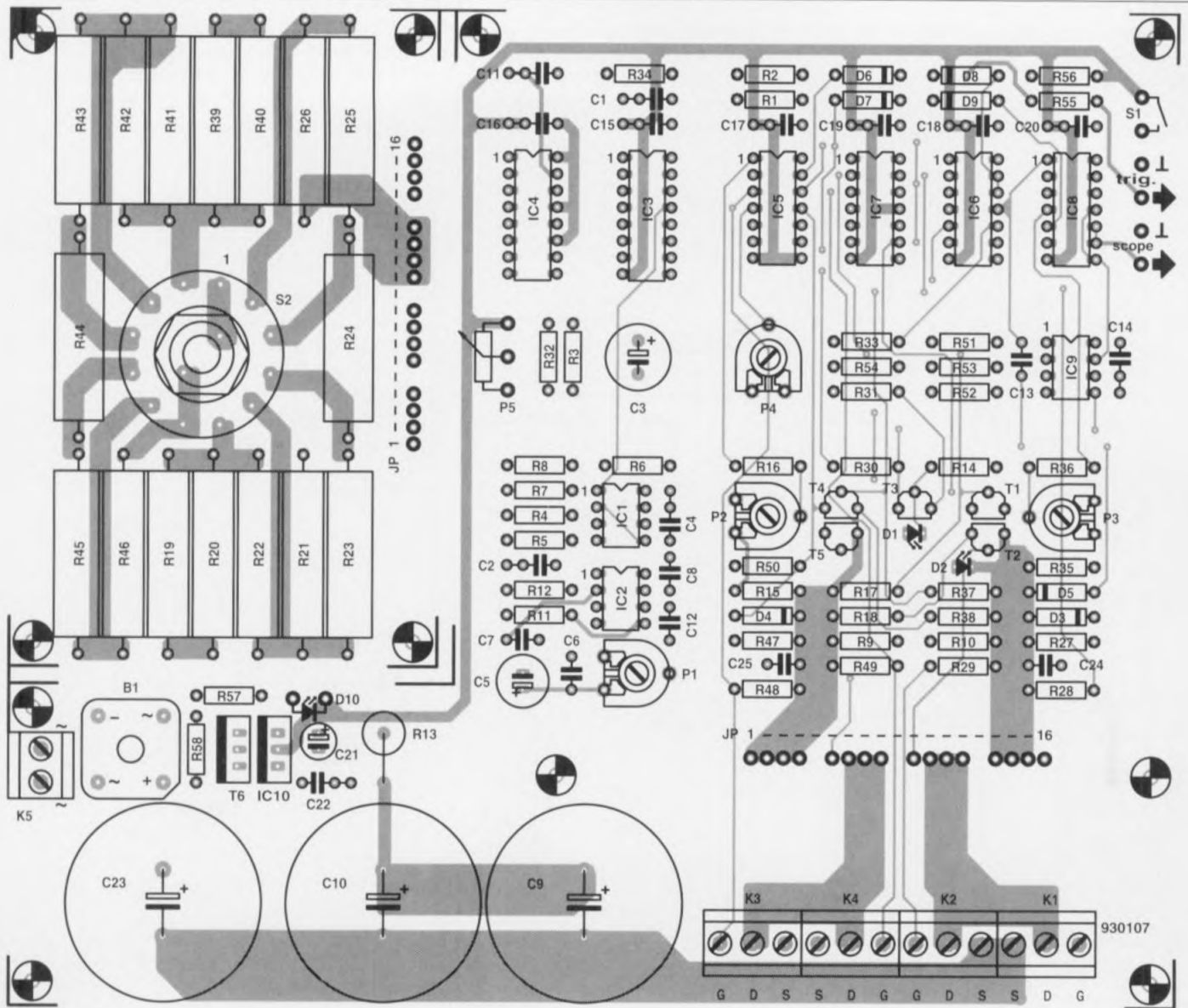


Figure 5. Représentation de la sérigraphie de l'implantation des composants de la platine dessinée pour le testeur de FETMOS de puissance. Il s'agit d'un circuit imprimé double face à trous métallisés.

Liste des composants

Résistances :

R1, R28, R29, R48, R49 = 1 M Ω
 R2 = 100 Ω
 R3 = 10 Ω
 R4 à R6, R17, R30, R33, R37 = 100 k Ω
 R7 = 330 k Ω
 R8 = 82 k Ω
 R9 à R12 = 10 k Ω 1%
 R13 = 1 Ω /5 W
 R14 = 1 k Ω 5
 R15, R35 = 560 Ω
 R16, R36, R54 = 10 k Ω
 R18, R38 = 330 Ω
 R19, R39 = 0 Ω 27 5 W
 R20, R40 = 0 Ω 33 5 W
 R21, R22, R41, R42 = 0 Ω 12 5 W
 R23, R43 = 0 Ω 15 5 W
 R24, R44 = 0 Ω 39 5 W
 R25, R45 = 0 μ 82 5W
 R26, R46 = 1 Ω 5 5 W
 R27, R47 = 6 k Ω 8
 R31 = 560 k Ω
 R32, R56 = 3 k Ω 3

R34 = 270 k Ω

R50 à R53 = 100 k Ω 1%
 R55 = 5 k Ω 26
 R57 = 2 k Ω 27
 R58 = 2 Ω 2
 P1 = ajustable 10 k Ω
 P2, P3 = ajustable 1 k Ω
 P4 = ajustable 250 k Ω
 P5 = potentiomètre 5 k Ω lin.

Divers :

JP1 à JP6 = embase en équerre à 4 contacts
 K1 à K4 = bornier à 3 contacts au pas de 5 mm
 K5 = bornier à 2 contacts au pas de 5 mm
 S1 = bouton-poussoir à contact travail
 S2 = commutateur rotatif encartable 2 circuits/6 positions

Semi-conducteurs :

D1, D2, D10 = LED rouge 3 mm faible courant (Siemens LS3369)
 D3, D4 = diode zener 10 V/400 mW
 D5 = BAT85 (Philips)

B1 = SB605 (600 V/6 A)

T1, T2 = BC557B (le cas échéant appariés)
 T3 = BC560C
 T4, T5 = BC547B (le cas échéant appariés)
 T6 = BD244C
 IC1, IC2, IC9 = CA3260 (RCA)
 IC3 = 4017
 IC4 = 4538
 IC5 à IC8 = TLC4066 (Texas Instruments)
 n'utiliser que des 4066 avec préfixe TLC!
 IC10 = 7812

Condensateurs

C1, C2, C14 à C20 = 100 nF
 C3 = 220 μ F/16 V radial
 C4 = 10 nF
 C5 = 100 μ F/16 V radial
 C6, C8, C12 = 1 μ F
 C7 = 33 pF
 C9, C10, C23 = 4 700 μ F/35 V radial
 C11 = 330 nF
 C13 = 8 pF2
 C21 = 22 μ F/40 V radial
 C22 = 470 nF
 C24, C25 = 150 pF

connexion de grille sont ouverts, une résistance de $1\text{ M}\Omega$ établit une liaison entre la grille et la source et le MOSFET se trouve hors-conduction.

L'alimentation des 2 circuits de test centrés sur les paires de transistors T1/T2 et T4/T5 se fait par l'intermédiaire des condensateurs électrochimiques C9 et C10. Le fait que cette paire de condensateurs soit, via la résistance R13, en contact avec la tension d'alimentation permet aux circuits de test de « tirer » sans vergogne un courant de crête de 13 A de ces condensateurs sans que le régulateur de tension ou le transformateur n'ait de courant important à fournir – la charge de crête est de quelques ampères seulement. Le courant moyen ne dépasse pas 0,4 A. L'avantage de la présence de R13 est de permettre de garder à l'alimentation des dimensions raisonnablement compactes. L'inconvénient est la

présence sur la tension d'alimentation d'une tension de ronflement résiduel notablement supérieure à ce que l'on rencontre en général sur nos alimentations (doux euphémisme). Cette situation pose quelques problèmes du côté du circuit de test des FET à canal N sachant qu'il faut leur fournir la tension de commande référencée par rapport à la tension d'alimentation alors que dans le cas des FET à canal P cette tension de grille doit être prise par rapport à la masse. C'est pour cette raison qu'un amplificateur opérationnel fait en sorte que dans les 2 cas le ronflement résiduel présent sur la tension présente aux bornes des condensateurs C9 et C10 soit suivie correctement.

L'amplificateur opérationnel IC2a fournit la tension de commande nécessaire au circuit de test des FET à canal N. Outre le fait que cet amplificateur opérationnel introduit

une inversion, il peut paraître étrange que l'on pourvoit une tension alternative transmise par un condensateur d'une tension de compensation continue. Cette opération s'avère cependant nécessaire si l'on veut maintenir constante la composante de tension continue présente aux bornes du condensateur C8. Si l'on avait omis de prendre cette mesure spéciale, cela ne serait pas le cas, en raison de la présence de ce fameux ronflement sur la tension aux bornes des condensateurs C9 et C10, ce qui se traduirait, en raison des courants de charge et de décharge, par une déformation de la tension de commande triangulaire. Le résultat final de tout ceci serait la visualisation à l'écran de caractéristiques de transistor toutes biscornues.

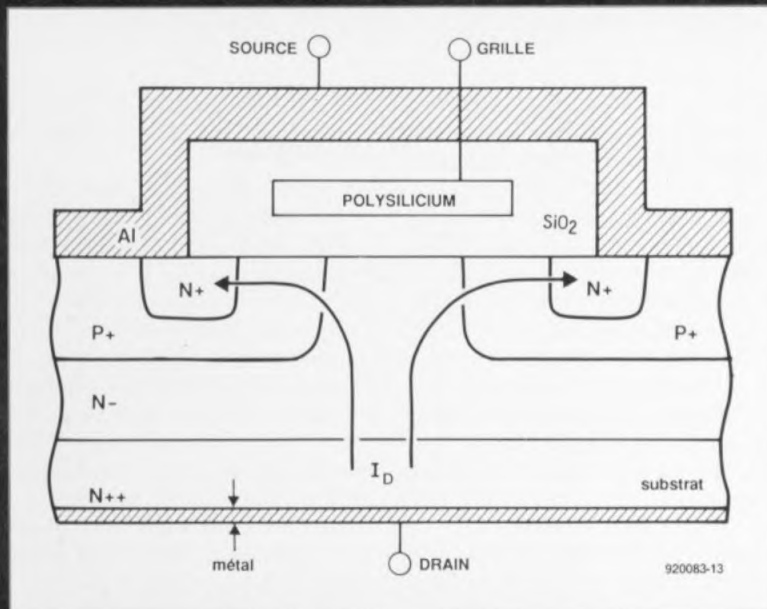
Il nous faut, du côté du circuit de test pour les FET à canal P, convertir une tension référencée par rapport à la tension d'alimentation en une tension dont la référence est cette fois la masse. À nouveau nous faisons appel à un amplificateur opérationnel, IC9a, qui tire son réglage en tension continue des condensateurs C9 et C10, par l'intermédiaire des résistances R52 et R53. La diode D5 décale l'ensemble du réglage pour éviter que la sortie de l'amplificateur opérationnel n'arrive en butée. Il nous a fallu ajouter l'amplificateur opérationnel IC9b associé au transistor T3, aux résistances R30 et R31 et à l'ajustable P4 pour doter la tension de grille des FET à canal N de la même tension d'offset que celle introduite par la diode D5 du côté des FET à canal P. On donnera à P4 une position telle que les amplificateurs opérationnels IC9a et IC9b présentent à leur sortie une tension d'offset identique.

Le courant de drain à travers les FET dépend de 2 éléments : de la résistance de drain d'une part et de la tension de commande. La résistance de drain prend l'aspect physique du rotacteur S2a et des résistances R19 à R26 dans l'un des cas, et celui de S2b associé aux résistances R39 à R46 dans l'autre. La composante de tension continue de la tension de commande est fournie par les LED D1 et D2. On ajuste, par action sur la résistance ajustable P2 ou P3, la tension grille/source à 1,5 V. En l'absence de tension triangulaire – le curseur de P1 est, pour ce faire, tourné vers les condensateurs C5 et C6 –, il nous est possible de régler, sur le rotacteur S2, les points de fonctionnement suivants : $I_D = 10, 5, 4, 2, 1\text{ A}$ et 500 mA. (Il ne faut pas jouer sur la position du commutateur

elektor-abc

Le MOSFET de puissance

La caractéristique typique du MOSFET de puissance est une circulation plus ou moins verticale à travers la puce du courant de drain, mouvement illustré dans la coupe verticale représentée ci-dessus. À y regarder de plus près, on se trouve ici en fait en présence de 2FET montés en parallèle (l'un sur la gauche du dessin, l'autre sur la droite). Pour éviter de trop compliquer les choses nous n'avons représenté ici que les abords immédiats de la grille, les transistors concernés s'étalant encore notablement à gauche et à droite. C'est là-bas que se trouvent les



contacts de drain et de source de taille relativement importante pour permettre une circulation facile du courant dans le transistor à effet de champ, car c'est là la signification énigmatique des lettres FET (*Field Effect Transistor*). Si le dopage du silicium est parfait, le courant de drain se répartira en parts égales entre les 2FET représentés ici. Même si le dopage n'est pas idéal, le courant se subdivisera en 2 parties relativement égales. On a tiré parti, lors de la conception (et ultérieurement la fabrication) des FET de puissance, de cette caractéristique pour ne pas mettre que 2 transistors en parallèle mais des centaines de mini-FET. La disposition représentée ci-dessus facilite en effet bien les choses: il suffit en effet de juxtaposer des éléments de transistors similaires. Cette approche n'est pas seulement vraie dans une dimension, la largeur, mais également dans une autre, celle de la profondeur.

rotatif S2 au cours d'une action sur le bouton-poussoir S1, une telle action ayant des conséquences néfastes sur la durée de vie du dit organe de commande).

Si l'on a, par action sur l'ajustable P1, réglé la valeur de crête de la tension triangulaire à 0,5 V, le courant de drain varie de $\pm 33\%$ de part et d'autre du point de fonctionnement défini. On pourra, en principe, définir, à l'aide de P1, une tension triangulaire comprise entre zéro et la valeur de tension se traduisant par le blocage du circuit de test à suite de l'entrée en butée de l'amplificateur. Il vous est possible ainsi de procéder à des comparaisons d'une partie relativement étroite de la courbe $U_{GS}(I_D)$ ou sensiblement plus grande.

Comparée au reste du circuit, l'alimentation du testeur de FETMOS de puissance n'occupe qu'une place relativement faible. S'il est vrai que les circuits de test peuvent fournir un courant de crête de 13 A, l'alimentation a ensuite tout le temps – 90 ms, soit près de 5 périodes de la tension secteur – pour recharger les condensateurs ayant eu à fournir ce courant de crête. Pour faire en sorte que cette recharge se fasse sans problème nous avons surdimensionné l'alimentation. Le transformateur peut fournir un courant nominal de 1,7 A; nous avons « gonflé » le régulateur de tension en le dotant d'un transistor de puissance, T6. Dans ces conditions le régulateur permet une recharge plus souple des condensa-

teurs C9 et C10. La LED D10 fait office de dispositif de visualisation de la mise en et hors-fonction. Remarquons en passant que les LED D1, D2 et D10 sont des LED rouges à faible courant.

Si cette caractéristique est moins importante dans le cas de la LED D10, les LED D1 et D2 doivent elles impérativement être de ce type, sachant que sinon la chute de tension aux bornes de la LED ne prend pas la valeur requise – n'oublions pas que les dites LED servent de référence de tension.

Le circuit imprimé

La totalité des composants constituant le testeur de FETMOS de puissance prend place sur la platine dont nous vous proposons, en **figure 5**, la représentation de la sérigraphie de l'implantation des composants. Les pistes ayant à véhiculer des courants importants ont vu leur longueur réduite au strict nécessaire et, lorsque cela était possible, ont été positionnées sur les 2 faces du circuit imprimé. De même, pour doter les résistances de drain et le rotateur S2 du câblage le plus court possible, ces composants ont été montés sur une partie (détachable) de la platine qui viendra ultérieurement s'implanter verticalement dans la platine principale juste derrière (ou devant, tout dépend du point de vue) les borniers K1 à K4.

L'interface entre ces 2 platines prend la forme d'une série de 4 morceaux de barrette autosécable soudée comportant chacun 4 contacts. L'épaisseur des broches de la barrette et la mise en parallèle, à chaque fois, de 4 d'entre elles, garantissent une perte de tension minimale même dans le cas d'un courant de 13 A. Étant donné le risque important d'application d'efforts mécaniques sur la platine verticale lors de la rotation du commutateur, il faudra étayer cette platine par l'implantation de 2 équerres de soutènement fixées sur les 2 platines.

Lorsque l'on envisage de mettre le montage dans un boîtier il est plus efficace de bien définir l'ordre de connexion des FET. Il nous a effet fallu, de façon à raccourcir le plus possible les pistes, disposer les borniers K1 à K4 dans le désordre. Cette situation présente certains inconvénients lorsque l'on vérifie le branchement correct d'un FET en réglant l'oscilloscope de manière à ce qu'il visualise 4 courbes à l'écran (situation illustrée par le signal infé-

rieur de la figure 3). L'impulsion la plus à gauche correspond au FET connecté au bornier K1, l'impulsion la plus à droite au FET relié au bornier K4. Il est préférable, pour éviter toute erreur d'interprétation, de donner aux bornes de mesure une disposition respectant le même ordre que celui de la visualisation à l'écran des impulsions.

Il faudra, pour éviter tout risque de court-circuit, utiliser des pinces crocodile bien isolées. Vous pourrez, si vous voulez éliminer tout risque de dommage en cas de court-circuit, prendre un fusible dans chaque ligne de drain – le porte-fusible sera monté sur le dos de la face avant. On pourra se contenter d'un fusible rapide de 0,5 A, bien que le courant traversant les FET puisse atteindre 13 A. La brièveté de cette intensité est en effet telle qu'un fusible de 0,5 A seulement n'a aucune raison de griller. De même, on pourra, pour protéger l'électronique sise en aval des connexions de grille, implanter une résistance de 680 Ω dans chacune des lignes de grille.

Sachant que le montage est très sensible, en raison du courant important qui peut y circuler, à toute chute de tension prenant place sur la ligne de source, il est recommandé de faire passer les cordons avec pinces crocodile dans des orifices percés à leur intention dans la face avant pour les brancher directement aux borniers K1 à K4. On utilisera du conducteur de forte section (2,5 mm²).

Le réglage

Le réglage du testeur de FETMOS de puissance est relativement simple, d'autant plus qu'il ne nécessite pas l'utilisation de FET. On commence par tourner le curseur de l'ajustable P1 vers les condensateurs C5/C6 et par mettre celui de P5 en butée vers la masse. On devrait voir apparaître, lors de la fermeture du bouton-poussoir S1, à la sortie de déclenchement un signal de la forme de celui représenté en figure 3. S'il devait se faire que la première impulsion présente une durée plus faible que les suivantes cela provient du fait que la durée de période du générateur de signal rectangulaire/triangulaire ne correspond pas exactement avec la durée d'impulsion du monostable IC4a. Ce décalage se traduit par la production d'une impulsion d'horloge additionnelle dans IC3, ce qui a pour résultat une première impulsion de déclenchement plus courte. Il suffit, dans la plupart des cas, de monter une résistance de 1 M Ω en

Réglages de l'oscilloscope :

Choix du déclenchement

Externe

DC

Flanc montant

Normal (en aucun cas déclenchement automatique [auto-trigger])

Choix de la base de temps

Visualisation de 4 mesures successives : 1 ms/div.

Visualisation imbriquée de 4 courbes : légèrement supérieure à 0,1 ms/div (à définir à l'aide du bouton « var. ») ou, en cas d'impossibilité, 0,2 ms/div

Options pour le canal Y

AC

pas d'offset

Prendre la sensibilité la plus grande possible (en fonction du FET et du courant de drain choisi)

Réglages à effectuer sur le testeur de FETMOS de puissance :

S1 : début de la mesure

S2 : courant de drain 0 à 0,5, 1, 2, 4, 7, 10 A

P5 : position verticale de la caractéristique sur l'écran de l'oscilloscope (remplace le réglage d'offset de l'oscilloscope)

parallèle sur la résistance R34. Si cette approche ne résout pas le problème on remplacera la résistance de 1 M Ω évoquée quelques lignes plus haut par un ajustable de 1 M Ω pris lui aussi en parallèle sur R34, ajustable sur lequel on jouera jusqu'à ce que l'impulsion ait la bonne largeur, en allant, pour être sûr de son fait, légèrement au-delà de la position minimale.

On commence par le réglage de l'ajustable P2. Il nous faut, pour ce faire, mesurer la tension aux bornes de la résistance R17. Ceci implique une mesure « flottante » par rapport à la masse du testeur de FETMOS. Faites donc bien attention à ce que l'oscilloscope soit uniquement connecté aux bornes de R17. N'utilisez donc pas le canal 2 ni l'entrée de déclenchement externe. On appuie ensuite sur S1 – en l'absence d'une telle action il n'y aurait pas le moindre signal à mesurer – et l'on


joue sur l'ajustable P2 de façon à ce que les 2 impulsions captées sur R17 aient une « hauteur » (sur l'écran de l'oscilloscope) de 1,5 V.

En ce qui concerne le réglage de l'ajustable P3, les mesures se font sur la résistance R37, mais comme l'une des pattes de cette résistance se trouve à la masse, il n'est pas nécessaire de prendre les précautions mentionnées dans le paragraphe précédent. Cette fois encore, on donnera à P3 la position que se traduit par l'apparition d'impulsions de 1,5 V de haut – on n'oubliera pas d'appuyer sur le bouton S1.

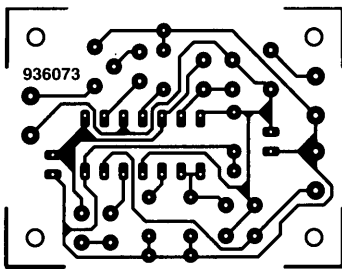
On branche ensuite l'oscilloscope à la sortie oscilloscope du testeur de FETMOS. On devrait y trouver, lors d'une action sur S1, 4 impulsions présentant un niveau de l'ordre de 10 V (le signal rappelle le signal de déclenchement). On joue alors sur la position de P4 jusqu'à ce que les

2 premières impulsions aient la même « hauteur » que les 2 dernières, ou encore que la tension aux bornes de la résistance R30 soit égale à celle mesurée aux bornes de la diode D5.

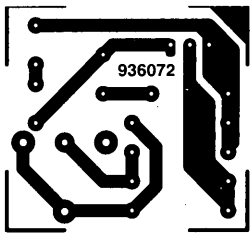
L'ajustable P1 arrive en dernier. On joue sur la position de cet ajustable jusqu'à ce que la valeur de crête de la tension triangulaire mesurée sur le curseur du dit ajustable soit de 0,5 V_c (1 V_{cc}).

Cette dernière étape termine le réglage du testeur de FETMOS de puissance. Vous voici en possession d'un instrument de mesure qui vous permettra d'apparier avec une très grande précision différents transistors MOSFET. Cet appareil pourra rendre d'éminents services lors, par exemple, de la réalisation de l'amplificateur de puissance à MOSFET, **HEXFET-60**, décrit ailleurs dans ce même numéro. 

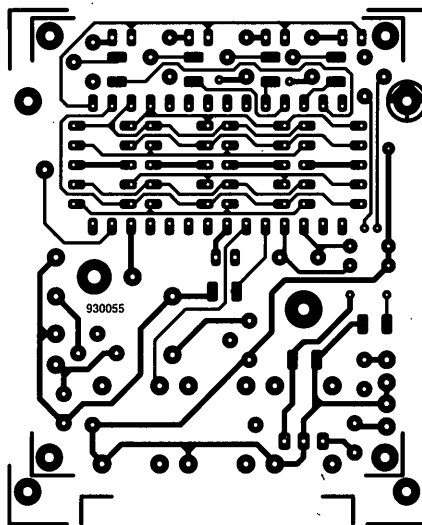
CIRCUITS IMPRIMÉS EN LIBRE SERVICE



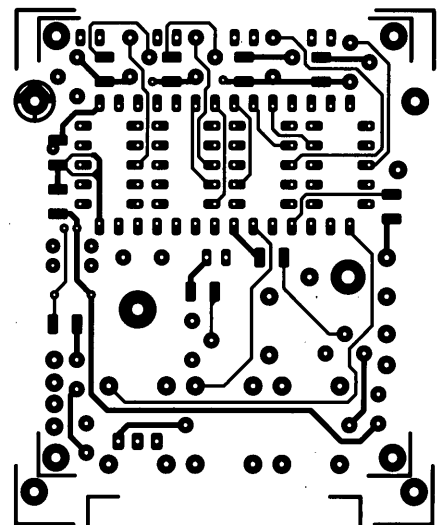
stella ↑



flash-esclave ↑

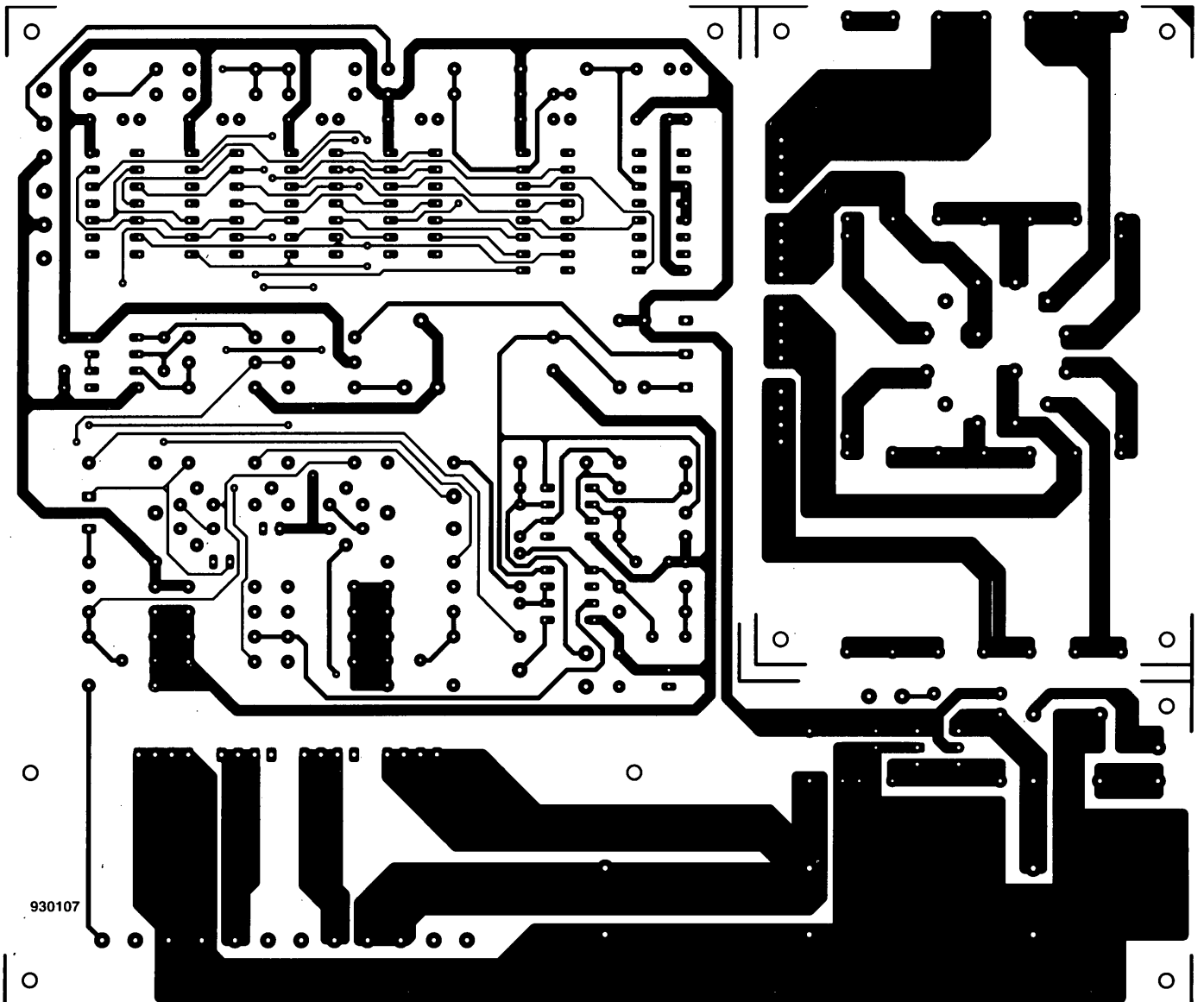


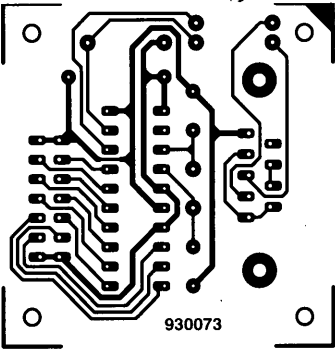
pendulette multifonction (côté pistes) ↑



pendulette multifonction (côté composants) ↑

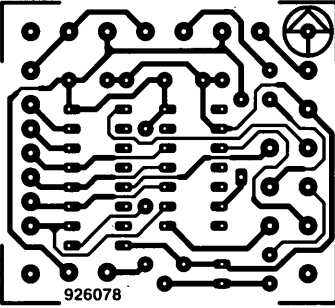
testeur de MOSFET (côté pistes) ↓





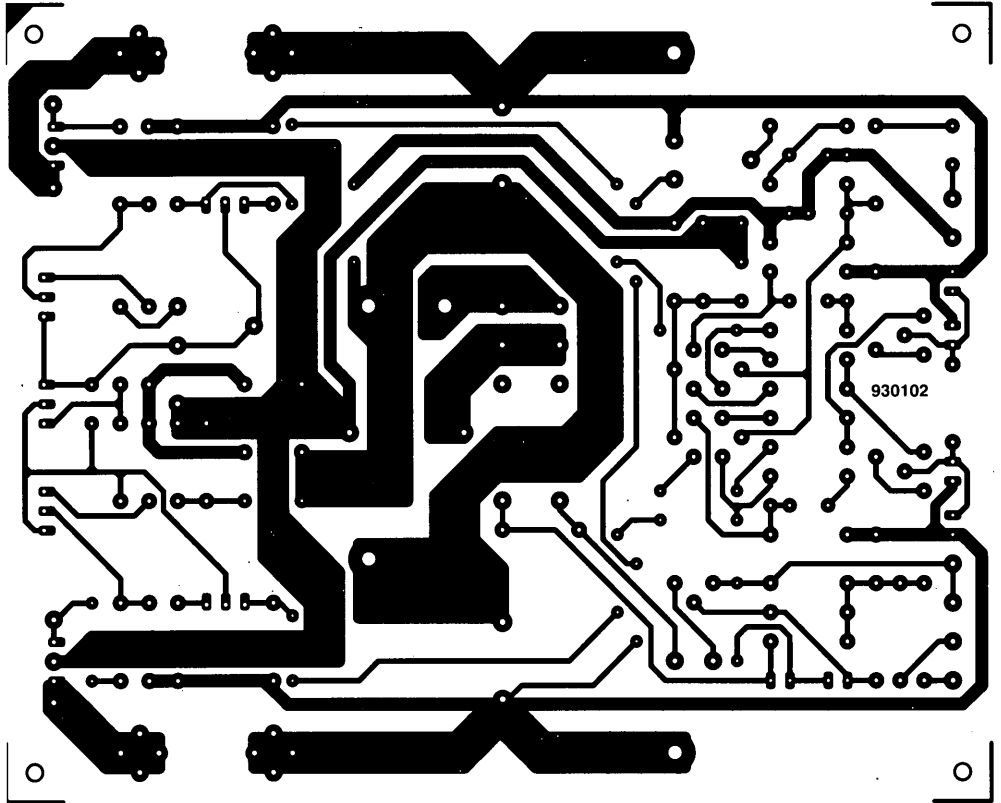
930073

interface à µC ↑



926078

polisson ↑



930102

HEXFET60 ↑

testeur de MOSFET (côté composants) ↓

